

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-275059

(43)Date of publication of application : 18.10.1996

(51)Int.Cl.

H04N 5/335  
H01L 21/8234  
H01L 27/088  
H01L 27/146  
// H01L 31/10

(21)Application number : 07-075082

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 31.03.1995

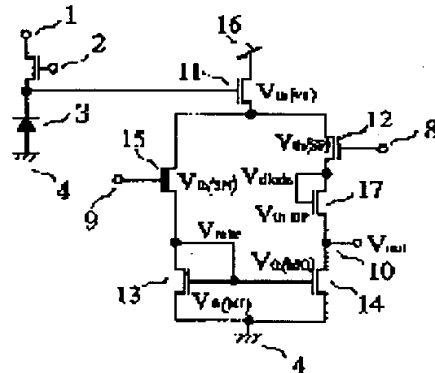
(72)Inventor : FUNATSU HIDEKAZU  
NITTA YOSHIKAZU  
OTA ATSUSHI  
TAI SHUICHI

## (54) LIGHT RECEIVING ELEMENT CIRCUIT, LIGHT RECEIVING ELEMENT CIRCUIT ARRAY AND METHOD FOR CONFIGURING THE LIGHT RECEIVING ELEMENT CIRCUIT

### (57)Abstract:

**PURPOSE:** To obtain the light receiving element circuit in which a sensitivity of each light receiving element is made variable by using a control circuit controlling an output from the light receiving element and the polarity of the output from the light receiving element is controlled and to realize the light receiving element circuit array where plural numbers of the light receiving element circuits are arranged and the method for configuring the light receiving element circuit.

**CONSTITUTION:** A conductance of a MOS transistor(TR) 11 is controlled by a potential of a light receiving element 3 and its output current is led to an inverting output circuit and a noninverting output circuit of a control circuit. An inverted output is outputted when an input is given to a control terminal 9 and a noninverting output is outputted from an output terminal 10 when input is given to the control terminal 8. In this case, structures of the inverting/noninverting output circuits are made electrically equivalent by the provision of a MOS TR 17. Furthermore, the values of the output currents from the inverting/noninverting output circuits are made equal to each other by adjusting the relation between a threshold voltage and a potential at the output terminal and a ratio of a gate width to a gate length of each TR.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

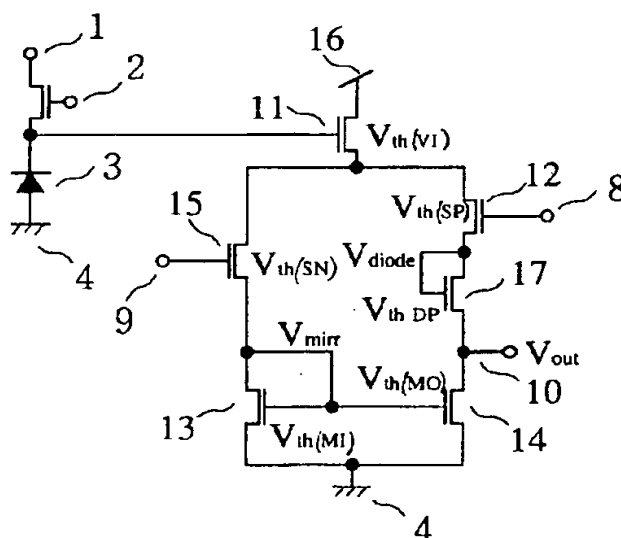
[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(11)特許出願公開番号



## 【特許請求の範囲】

【請求項1】 受光素子と、受光素子の電位を電流に変換する回路を介して得た信号の大きさと極性を制御して外部へと出力するMOSトランジスタから構成される制御回路とを基板上に備えた受光素子回路において、前記制御回路が前記信号の極性を制御するための、信号の向きを変えずに出力端子に接続する回路（非反転出力回路）及び信号の向きを反転させて出力端子に接続する回路（反転出力回路）を備え、該反転・非反転出力回路が同じ受光素子電位に対して前記反転・非反転出力回路からの出力信号の大きさが同じになるように特定された利得係数を有するMOSトランジスタを備えたことを特徴とする受光素子回路。

【請求項2】 MOSトランジスタが該トランジスタのゲート幅とゲート長との比によって制御され特定された利得係数を有することを特徴とする請求項1に記載の受光素子回路。

【請求項3】 特定の利得係数を有するMOSトランジスタが、該反転・非反転出力回路が同じ受光素子電位に対して前記反転・非反転出力回路からの出力信号の大きさが同じになるように特定された閾値電圧を有することを特徴とする請求項1または2記載の受光素子回路。

【請求項4】 制御回路から外部へと信号を出力する端子が、該反転・非反転出力回路が同じ受光素子電位に対して前記反転・非反転出力回路からの出力信号の大きさが同じになるように特定された電位であることを特徴とする請求項3に記載の受光素子回路。

【請求項5】 受光素子の電位を電流に変換する回路がnMOSあるいはpMOSのトランジスタを備えたことを特徴とする請求項1乃至4のいずれか1項に記載の受光素子回路。

【請求項6】 制御回路に、非反転出力回路及び反転出力回路のそれぞれの回路を選択するためのスイッチングトランジスタを備えたことを特徴とする請求項1乃至5のいずれか1項に記載の受光素子回路。

【請求項7】 制御回路の反転出力回路に、ミラー回路を備えたことを特徴とする請求項1乃至6のいずれか1項に記載の受光素子回路。

【請求項8】 制御回路の非反転出力回路が、スイッチングトランジスタから構成されることを特徴とする請求項1乃至7に記載の受光素子回路。

【請求項9】 制御回路の非反転出力回路に、さらにダイオード接続したトランジスタを備えたことを特徴とする請求項8に記載の受光素子回路。

【請求項10】 制御回路の反転出力回路を、ミラー回路と、受光素子の電位を電流に変換する手段とミラー回路の間に挿入した反転出力回路選択用スイッチングトランジスタにより構成し、制御回路の非反転出力回路を、ダイオード接続したトランジスタと、受光素子の電位を電流に変換する手段とダイオード接続したトランジスタ

の間に挿入した非反転出力回路選択用スイッチングトランジスタにより構成したことを特徴とする請求項6乃至9に記載の受光素子回路。

【請求項11】 制御回路の反転出力回路内のミラー回路を構成するトランジスタの閾値電圧と、制御回路の非反転出力回路内のダイオード接続トランジスタの閾値電圧との差が、制御回路から外部へと信号を出力する端子の電位となるように、トランジスタの閾値電圧及び制御回路から外部へと信号を出力する端子の電位を特定したことを特徴とする請求項10に記載の受光素子回路。

【請求項12】 制御回路を構成するトランジスタのうち、反転出力回路のミラー回路を構成するトランジスタと非反転出力回路のダイオード接続トランジスタとを除く全てのトランジスタの閾値電圧が、反転出力回路のミラー回路を構成するトランジスタの閾値電圧或は非反転出力回路のダイオード接続トランジスタの閾値電圧と一致することを特徴とする請求項11に記載の受光素子回路。

【請求項13】 制御回路の反転出力回路及び非反転出力回路を構成するトランジスタが、受光素子の電位を電流に変換する回路に備えたトランジスタの利得係数と同じ利得係数を有するトランジスタであることを特徴とする請求項11または12に記載の受光素子回路。

【請求項14】 制御回路の反転出力回路及び非反転出力回路のそれぞれの回路を選択するためのスイッチングトランジスタが同じ利得係数を有することを特徴とする請求項13に記載の受光素子回路。

【請求項15】 制御回路の反転出力回路に備えたミラー回路の出力側トランジスタが、受光素子の電位を電流に変換する回路に用いるトランジスタと同じ利得係数を有し、且つ制御回路の非反転出力回路に備えたダイオード接続トランジスタの利得係数と受光素子の電位を電流に変換する回路に用いるトランジスタの利得係数との大きさの比と、受光素子の電位を電流に変換する回路に用いるトランジスタの利得係数と反転出力回路に備えたミラー回路の入力側トランジスタの利得係数との大きさの比が等しくなるように特定の利得係数を有するトランジスタを配置したことを特徴とする請求項14に記載の受光素子回路。

【請求項16】 受光素子回路を構成するトランジスタが、各トランジスタ間の電流駆動能力の比に対する利得係数比の値が各トランジスタ間のゲート幅とゲート長との比の比となる関係を有するトランジスタであることを特徴とする請求項13乃至15のいずれか1項に記載の受光素子回路。

【請求項17】 受光素子がpnフォトダイオードであることを特徴とする請求項1乃至16のいずれか1項に記載の受光素子回路。

【請求項18】 pnフォトダイオードがp型基板に形成されたn型層を備えた或はn型基板に形成されたp型

層を備えたものであることを特徴とする請求項17に記載の受光素子回路。

【請求項19】 pnフォトダイオードのn型層またはp型層にpnフォトダイオードのリセット用のスイッチングトランジスタを接続したことを特徴とする請求項18に記載の受光素子回路。

【請求項20】 受光素子と制御回路とを形成する基板のドーピング濃度が $1 \times 10^{13} \text{cm}^{-3}$ より高く $1 \times 10^{16} \text{cm}^{-3}$ より低いことを特徴とする請求項17乃至19のいずれか1項に記載の受光素子回路。

【請求項21】 受光素子と制御回路とを形成する基板がp型基板であり、該p型基板内の受光素子形成部分がドーピング濃度が $1 \times 10^{15} \text{cm}^{-3}$ 以上のp型層とその中に前記p型層のドーピング濃度よりも高い濃度でドーピングされたn型層とを備えた受光素子であること、あるいは受光素子と制御回路とを形成する基板がn型基板であり、該n型基板内の受光素子形成部分がドーピング濃度が $1 \times 10^{15} \text{cm}^{-3}$ 以上のn型層とその中に前記n型層のドーピング濃度よりも高い濃度でドーピングされたp型層とを備えた受光素子であることを特徴とする請求項20に記載の受光素子回路。

【請求項22】 受光素子と制御回路との間に受光素子からの出力を蓄積するコンデンサを並列に接続したことを特徴とする請求項1乃至21のいずれか1項に記載の受光素子回路。

【請求項23】 トランジスタ回路を構成する部分に、金属膜を備えたことを特徴とする請求項1乃至22のいずれか1項に記載の受光素子回路。

【請求項24】 請求項1乃至23のいずれか1項に記載の受光素子回路を、一次元または二次元のアレイ状に配置したことを特徴とする受光素子回路アレイ。

【請求項25】 アレイ状に配置した複数の受光素子回路の水平方向の一つのライン上に並ぶ受光素子回路のスイッチ用端子を共通にし、垂直方向の一つのライン上に並ぶ感度可変受光素子回路の出力端子を共通にしたことを特徴と請求項24に記載の受光素子回路アレイ。

【請求項26】 受光素子回路内の接地ラインに、受光素子回路を形成する基板を接地するための基板コンタクトを受光素子回路毎に設けたことを特徴とする請求項24または25に記載の受光素子回路アレイ。

【請求項27】 受光素子と、受光素子の電位を電流に変換する回路を介して得た信号の大きさと極性を制御して外部へと出力する制御回路とを基板上に備えた受光素子回路を構成する方法において、前記制御回路の前記信号の極性を制御する回路のうち、信号の向きを変えずに出力端子に接続する回路（非反転出力回路）を選択して外部へ出力する信号の大きさを計測または計算する第1のステップと、前記制御回路の前記信号の極性を制御する回路のうち、信号の向きを反転させて出力端子に接続する回路（反転出力回路）を選択して外部へ出力する信

号の大きさを計測または計算する第2のステップと、第1及び第2のステップの結果を比較する第3のステップと、前記同じ受光素子電位に対して前記反転・非反転出力回路からの出力信号の大きさが同じになるように制御回路を構成するMOSトランジスタの利得係数を設定する第4のステップとを備えたことを特徴とする受光素子回路の構成方法。

【請求項28】 第4のステップの後に、第4のステップにおいて設定されたMOSトランジスタの利得係数をそれぞれのMOSトランジスタのゲート幅とゲート長との比で制御する第5のステップを備えたことを特徴とする請求項27に記載の受光素子回路の構成方法。

【請求項29】 予め特定された閾値電圧を有するMOSトランジスタと、予め電圧の特定された出力端子を備えた受光素子回路を用いたことを特徴とする請求項27または28に記載の受光素子回路の構成方法。

【請求項30】 第4のステップに代わって、第1及び第2のステップの結果を比較する第3のステップの後に、受光素子回路の出力を増大させるかあるいは受光素子回路の線形性を向上させるかいずれかを選択するステップを配置し、受光素子回路の出力増大を選択した場合には前記反転・非反転出力回路が同じ受光素子電位に対して前記反転・非反転出力回路からの出力信号の大きさが同じになるように且つ出力信号が所定の値以上になるように制御回路を構成するMOSトランジスタの利得係数を設定するステップを配置し、受光素子回路の線形性向上を選択した場合には前記反転・非反転出力回路が同じ受光素子電位に対して前記反転・非反転出力回路からの出力信号の大きさが同じになるように且つ出力信号が所定の値以下になるように制御回路を構成するMOSトランジスタの利得係数を設定するステップを配置したことを特徴とする請求項27乃至29のいずれか1項に記載の受光素子回路の構成方法。

【請求項31】 制御回路を構成するMOSトランジスタの利得係数を設定するステップにおいて、閾値電圧の異なるトランジスタ間のゲート幅とゲート長との比の比を該トランジスタ間の電流駆動能力の比に対する利得係数の比となるようにMOSトランジスタの利得係数を設定することを特徴とする請求項29または30に記載の受光素子回路の構成方式。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は、制御回路により受光素子の受光感度を可変にするとともに高感度化を可能とする受光素子回路の特に回路構成と、その受光素子回路を複数配置した受光素子回路アレイ及び受光素子回路の構成方法に関するものである。

【0002】

【従来の技術】 従来の画像処理装置においては、受光素子から得た信号を処理装置内の計算機によって加工し、

膨大な計算時間を要して所望の画像処理を行っていた。そのため、画像処理時間の短縮が期待されていた。一方、画像処理の中には、信号として負の極性が必要であるものがあり、負の極性の信号を得るために受光素子の制御電源として負電源を用いることは、費用と精度の点で難しかった。このような背景の下で、受光素子に制御回路を設けその制御回路により受光素子の感度を可変にし、さらに極性まで制御できる感度可変機能を有する受光素子回路は上記のような問題を解決した受光素子回路として期待されている。

【0003】図16は、特願平6-125132号に記載の受光素子回路の構成図である。図において、受光素子103からの出力は、まず受光素子の制御回路である差動増幅器のバイアス電流用MOSトランジスタ104のゲート端子に入力される。差動増幅器はカレントミラー用MOSトランジスタ107、108、非反転出力用MOSトランジスタ105、反転出力用MOSトランジスタ106、バイアス電流用MOSトランジスタ104で構成されている。差動増幅器を介して出力された信号は出力端子109から外部へ取り出される。

【0004】次に、動作について説明する。まず、一端が接地111された受光素子103は、リセットスイッチ102を通じてバイアス端子101によりバイアスされる。光入射により受光素子103に電荷が蓄積されると、電源電圧112に接続されたバイアス電流用MOSトランジスタ104のコンダクタンスが変化する。これにより受光素子出力は増幅され、S/N比を向上することが可能となる。ここでトライステートスイッチ110を通じてMOSトランジスタ105がオンとなると、MOSトランジスタ104からの出力電流はそのまま出力端子109から出力され、MOSトランジスタ106がオンとなると、MOSトランジスタ104からの出力電流はミラー回路によって反転されて、逆方向の電流となって出力端子109から出力される。

【0005】

【発明が解決しようとする課題】受光素子回路では、得られた信号情報を用いて画像処理を行うため、同じ光の強さ、即ち同じ受光素子電位に対して反転、非反転の出力の絶対値を等しくし、1つの受光素子回路からの出力の演算或は複数の受光素子間の出力の演算（画素間の演算）等ができることが必要である。即ち、反転、非反転の出力が相殺できなくてはならない。なぜなら、ある受光素子回路において、反転出力信号を選択した時と非反転出力信号を選択した時とで、信号の大きさが異なると画素間の演算ができないからである。

【0006】一方、図17は図16において差動増幅器を構成する全てのトランジスタを同じnMOSトランジスタで構成した場合の、反転出力及び非反転出力の大きさを、受光素子電位の関数としてプロットした例である。理想的には二つのグラフは完全に一致するべきであ

るが、両者の大きさは大きく異なり、このままでは全く相殺がうまくいかず、即ち、画素間演算ができず、受光素子回路として十分な性能を有していないことが分かる。

【0007】このように、従来の受光素子回路では、受光素子出力を増幅し、反転、非反転の二通りで出力を取り出すことはできるが、例えば図16の構造のように反転出力回路は3個の、非反転出力回路は2個のトランジスタにより構成されている等回路の非対称性等に起因して、反転出力及び非反転出力の大きさが異なってしまうという問題があった。また、反転、非反転の出力の大きさが等しくするような回路構成方法もなかった。そのため、画素間演算の精度が低い等、受光素子回路として十分な機能を果たすことができなかった。

【0008】この発明は、上記のような問題点を解決するためになされたものであり、受光素子回路を構成するトランジスタの利得係数や閾値電圧を特定することにより、同じ受光素子電位に対して反転、非反転出力の絶対値が同じになり、出力の相殺等画素間の演算が行えるような高性能な受光素子回路を提供すること、該受光素子回路を複数個配置した高性能な受光素子回路アレイを提供すること及び、該受光素子回路を構成する方法を提供することを目的としている。

【0009】また、反転、非反転出力の絶対値が同じ受光素子回路において、ノイズや誤動作のない、光蓄積容量の大きい等高性能な受光素子回路を提供することを目的とする。

【0010】さらに、反転、非反転出力を比較して、所望の出力の大きさや所望の線形性に応じて反転、非反転出力の絶対値を等しく制御できるような受光素子回路の構成方法を提供することを目的とする。

【0011】

【課題を解決するための手段】請求項1項の発明に係わる受光素子回路は、受光素子と、受光素子の電位を電流に変換する回路を介して得た信号の大きさと極性を制御して外部へと出力する制御回路とを基板上に備えた受光素子回路において、前記制御回路が前記信号の極性を制御する、信号の向きを変えずに出力端子に接続する回路（非反転出力回路）及び信号の向きを反転させて出力端子に接続する回路（反転出力回路）を備え、該同じ受光素子電位に対して前記反転・非反転出力回路からの出力信号の大きさが同じになるように特定された利得係数を有するMOSトランジスタを備えたものである。

【0012】請求項2の発明に係わる受光素子回路は、請求項1において、MOSトランジスタが該トランジスタのゲート幅とゲート長との比によって制御され特定された利得係数を有することを規定するものである。

【0013】請求項3の発明に係わる受光素子回路は、請求項1または2において、同じ受光素子電位に対して前記反転・非反転出力回路からの出力信号の大きさが同

10

20

30

40

50

じになるように特定された利得係数を有するMOSトランジスタが特定の閾値電圧を有することを規定するものである。

【0014】請求項4の発明に係わる受光素子回路は、請求項3において、制御回路から外部へと信号を出力する端子が同じ受光素子電位に対して前記反転・非反転出力回路からの出力信号の大きさが同じになるように特定された電位であることを規定するものである。

【0015】請求項5の発明に係わる受光素子回路は、請求項1乃至4のいずれかにおいて、受光素子の電位を電流に変換する回路がnMOSあるいはpMOSのトランジスタを備えたことを規定するものである。

【0016】請求項6の発明に係わる受光素子回路は、請求項1乃至5のいずれかにおいて、制御回路に、非反転出力回路及び反転出力回路のそれぞれの回路を選択するためのスイッチングトランジスタを備えたことを規定するものである。

【0017】請求項7の発明に係わる受光素子回路は、請求項1乃至6のいずれかにおいて、制御回路の反転出力回路に、ミラー回路を備えたことを規定するものである。

【0018】請求項8の発明に係わる受光素子回路は、請求項1乃至7のいずれかにおいて、制御回路の非反転出力回路が、スイッチングトランジスタから構成されることを規定するものである。

【0019】請求項9の発明に係わる受光素子回路は、請求項8において、制御回路の非反転出力回路に、さらにダイオード接続したトランジスタを備えたものである。

【0020】請求項10の発明に係わる受光素子回路は、請求項6乃至9のいずれかにおいて、制御回路の反転出力回路を、ミラー回路と、受光素子の電位を電流に変換する手段とミラー回路の間に挿入した反転出力回路選択用スイッチングトランジスタにより構成し、制御回路の非反転出力回路を、ダイオード接続したトランジスタと、受光素子の電位を電流に変換する手段とダイオード接続したトランジスタの間に挿入した非反転出力回路選択用スイッチングトランジスタにより構成したことを規定するものである。

【0021】請求項11の発明に係わる受光素子回路は、請求項10において、制御回路の反転出力回路内のミラー回路を構成するトランジスタの閾値電圧と、制御回路の非反転出力回路内のダイオード接続トランジスタの閾値電圧との差が、制御回路から外部へと信号を出力する端子の電位となるように、トランジスタの閾値電圧及び制御回路から外部へと信号を出力する端子の電位を特定したものである。

【0022】請求項12の発明に係わる受光素子回路は、請求項11において、制御回路を構成するトランジスタのうち、反転出力回路のミラー回路を構成するトランジスタと非反転出力回路のダイオード接続トランジスタとを除く全てのトランジスタの閾値電圧が、反転出力回路のミラー回路を構成するトランジスタの閾値電圧又は非反転出力回路のダイオード接続トランジスタの閾値電圧と一致することを規定するものである。

【0023】請求項13の発明に係わる受光素子回路は、請求項11または12において、制御回路の反転出力回路及び非反転出力回路を構成するトランジスタが、受光素子の電位を電流に変換する回路に備えたトランジスタの利得係数と同じ利得係数を有するトランジスタであることを規定するものである。

【0024】請求項14の発明に係わる受光素子回路は、請求項13において、制御回路の反転出力回路及び非反転出力回路のそれぞれの回路を選択するためのスイッチング用トランジスタが同じ利得係数を有することを規定するものである。

【0025】請求項15の発明に係わる受光素子回路は、請求項14において、制御回路の反転出力回路に備えたミラー回路の出力側トランジスタが、受光素子の電位を電流に変換する回路に用いるトランジスタと同じ利得係数を有し、且つ制御回路の非反転出力回路に備えたダイオード接続トランジスタの利得係数と受光素子の電位を電流に変換する回路に用いるトランジスタの利得係数との大きさの比と、受光素子の電位を電流に変換する回路に用いるトランジスタの利得係数と反転出力回路に備えたミラー回路の入力側トランジスタの利得係数との大きさの比が等しくなるように特定の利得係数を有するトランジスタを配置したものである。

【0026】請求項16の発明に係わる受光素子回路は、請求項13乃至15のいずれかにおいて、受光素子回路を構成するトランジスタが、各トランジスタ間の電流駆動能力の比に対する利得係数比の値が各トランジスタ間のゲート幅とゲート長との比の比となる関係を有するトランジスタであることを規定するものである。

【0027】請求項17の発明に係わる受光素子回路は、請求項1乃至16のいずれかにおいて、受光素子がpnフォトダイオードであることを規定するものである。

【0028】請求項18の発明に係わる受光素子回路は、請求項17において、pnフォトダイオードがp型基板に形成されたn型層を備えた或はn型基板に形成されたp型層を備えたことを規定するものである。

【0029】請求項19の発明に係わる受光素子回路は、請求項18において、pnフォトダイオードのn型層またはp型層にpnフォトダイオードのリセット用のスイッチングトランジスタを接続したことを規定するものである。

【0030】請求項20の発明に係わる受光素子回路は、請求項17乃至19のいずれかにおいて、受光素子と制御回路とを形成する基板のドーピング濃度が $1 \times 10$

$13\text{ cm}^{-3}$ より高く $1 \times 10^{16}\text{ cm}^{-3}$ より低いことを規定するものである。

【0031】請求項21の発明に係わる受光素子回路は、請求項20において、受光素子と制御回路とを形成する基板がp型基板であり、該p型基板内の受光素子形成部分がドーピング濃度が $1 \times 10^{15}\text{ cm}^{-3}$ 以上のp型層とその中に前記p型層のドーピング濃度よりも高い濃度でドーピングされたn型層とを備えた受光素子であること、あるいは受光素子と制御回路とを形成する基板がn型基板であり、該n型基板内の受光素子形成部分がドーピング濃度が $1 \times 10^{15}\text{ cm}^{-3}$ 以上のn型層とその中に前記n型層のドーピング濃度よりも高い濃度でドーピングされたp型層とを備えた受光素子であることを規定するものである。

【0032】請求項22の発明に係わる受光素子回路は、請求項1乃至21のいずれかにおいて、受光素子と制御回路との間に受光素子からの出力を蓄積するコンデンサを並列に接続したものである。

【0033】請求項23の発明に係わる受光素子回路は、請求項1乃至22のいずれかにおいて、トランジスタ回路を構成する部分に、金属膜を備えたものである。

【0034】請求項24の発明に係わる受光素子回路アレイは、請求項1乃至23のいずれか1項に記載の受光素子回路を、一次元または二次元のアレイ状に配置したものである。

【0035】請求項25の発明に係わる受光素子回路アレイは、請求項24において、アレイ状に配置した複数の受光素子回路の水平方向の一つのライン上に並ぶ受光素子回路のスイッチ用端子を共通にし、垂直方向の一つのライン上に並ぶ感度可変受光素子回路の出力端子を共通にしたことを規定するものである。

【0036】請求項26の発明に係わる受光素子回路アレイは、請求項24または25において、受光素子回路内の接地ラインに、受光素子回路を形成する基板を接地するための基板コンタクトを受光素子回路毎に設けたことを規定するものである。

【0037】請求項27の発明に係わる受光素子回路の構成方法は、受光素子と、受光素子の電位を電流に変換する回路を介して得た信号の大きさと極性を制御して外部へと出力する制御回路とを基板上に備えた受光素子回路を構成する方法において、前記制御回路の前記信号の極性を制御する回路のうち、信号の向きを変えずに出力端子に接続する回路（非反転出力回路）を選択して外部へ出力する信号の大きさを計測または計算する第1のステップと、前記制御回路の前記信号の極性を制御する回路のうち、信号の向きを反転させて出力端子に接続する回路（反転出力回路）を選択して外部へ出力する信号の大きさを計測または計算する第2のステップと、第1及び第2のステップの結果を比較する第3のステップと、前記同じ受光素子電位に対して前記反転・非反転出力回

路からの出力信号の大きさが同じになるように制御回路を構成するMOSトランジスタの利得係数を設定する第4のステップとを備えたものである。

【0038】請求項28の発明に係わる受光素子回路の構成方法は、請求項27において、第4のステップの後に、第4のステップにおいて設定されたMOSトランジスタの利得係数をそれぞれのMOSトランジスタのゲート幅とゲート長との比で制御する第5のステップを備えたことを規定するものである。

【0039】請求項29の発明に係わる受光素子回路の構成方法は、請求項27または28において、予め特定された閾値電圧を有するMOSトランジスタと、予め電圧の特定された出力端子を備えた受光素子回路を用いたことを規定したものである。

【0040】請求項30の発明に係わる受光素子回路の構成方法は、請求項27乃至29のいずれかにおいて、第4のステップに代わって、第1及び第2のステップの結果を比較する第3のステップの後に、受光素子回路の出力を増大させるかあるいは受光素子回路の線形性を向上させるかいずれかを選択するステップを配置し、受光素子回路の出力増大を選択した場合には前記反転・非反転出力回路が同じ受光素子電位に対して前記反転・非反転出力回路からの出力信号の大きさが同じになるように且つ出力信号が所定の値以上になるように制御回路を構成するMOSトランジスタの利得係数を設定するステップを配置し、受光素子回路の線形性向上を選択した場合には前記反転・非反転出力回路が同じ受光素子電位に対して前記反転・非反転出力回路からの出力信号の大きさが同じになるように且つ出力信号が所定の値以下になるように制御回路を構成するMOSトランジスタの利得係数を設定するステップを配置したことを規定するものである。

【0041】請求項31の発明に係わる受光素子回路の構成方法は、請求項29または30において、制御回路を構成するMOSトランジスタの利得係数を設定するステップにおいて、閾値電圧の異なるトランジスタ間のゲート幅／ゲート長比の比を該トランジスタ間の電流駆動能力の比に対する利得係数の比となるようにMOSトランジスタの利得係数を設定することを規定するものである。

【0042】

【作用】この発明の請求項1の受光素子回路は、特定の利得係数を有するMOSトランジスタを備えたので、反転・非反転出力回路の出力はそれぞれの回路のMOSトランジスタの利得係数の関数で記述することができるため、反転・非反転出力回路の出力の絶対値を利得係数によって制御できる。また、反転・非反転出力回路を設けたことで、負電源なしに信号の極性が制御可能となる。

【0043】この発明の請求項2の受光素子回路は、請求項1において、MOSトランジスタの利得係数をトラ



ンジスタのゲート幅とゲート長との比で制御したので、簡便にMOSトランジスタの利得係数を制御できる。

【0044】この発明の請求項3の受光素子回路は、請求項1または2において、MOSトランジスタの閾値電圧を規定したので、MOSトランジスタの利得係数の値を設定する際のパラメータが減少し、利得係数の決定が容易になる。

【0045】この発明の請求項4の受光素子回路は、請求項3において、制御回路から外部へと信号を出力する端子の電位を規定したので、MOSトランジスタの利得係数の値を設定する際のパラメータが減少し、利得係数の決定がさらに容易になる。

【0046】この発明の請求項5の受光素子回路は、請求項3において、受光素子の電位を電流に変換する回路としてnMOS或はpMOSトランジスタを用いたので、他のトランジスタと同じ種類のトランジスタで形成すれば、同一のプロセスで簡便な工程で、回路を単純化できる。また、一画素（一受光素子回路）の中にp、n二つのウェルを作る必要がないので、画素の大きさを小さくできる。さらに、nMOSであれば、受光素子として、光が当たるほど電位が上がるような素子を用いた場合、光が当たらなければ出力電流が0で、入射光が強いほど出力電流が増えるような構成にすることができ、pMOSであれば受光素子として、光が当たるほど電位が下がるような素子を用いた場合、光が当たらなければ出力電流が0で、入射光が強いほど出力電流が増えるような構成にすることができる。

【0047】この発明の請求項6の受光素子回路は、請求項1乃至5のいずれかにおいて、制御回路に、非反転出力回路及び反転出力回路のそれぞれの回路を選択するためのスイッチングトランジスタを備えたので、制御回路の外部から出力の極性を選択制御可能となる。更に、スイッチングトランジスタのゲート電圧をアナログ的に制御することにより、一定の受光素子電位に対する出力電流値をアナログ的に変化させることが出来る。

【0048】この発明の請求項7の受光素子回路は、請求項1乃至6のいずれかにおいて、制御回路の反転出力回路にミラー回路を備えたので、簡便な回路構成で、出力信号の向きを反転できる。

【0049】この発明の請求項8の受光素子回路は、請求項1乃至7のいずれかにおいて、制御回路の非反転出力回路がスイッチングトランジスタで構成されるので、単純な構成で回路を実現する。

【0050】この発明の請求項9の受光素子回路は、請求項8において、制御回路の非反転出力回路にさらにダイオード接続したトランジスタを備えたので、反転出力回路のミラー回路のトランジスタ構成を考慮して、ダイオード接続したトランジスタを非反転出力回路に配置することにより、制御回路の反転・非反転出力回路の構造を対称な形にできるので、反転・非反転出力回路からの出

力が同じになるように回路を設計しやすくなる。

【0051】この発明の請求項10の受光素子回路は、請求項6乃至9のいずれかにおいて、スイッチングトランジスタを特定の位置（反転・非反転出力回路の等価な位置）に配置することにより、制御回路の反転・非反転出力回路の構造を対称な形にできるので、反転・非反転出力回路からの出力が同じになるように回路を設計しやすくなる。更に、受光素子の電位を電流に変換する回路から遠い側にスイッチングトランジスタを入れた場合よりも、受光素子の電位に対する出力電位の線形性が向上するように作用する。

【0052】この発明の請求項11の受光素子回路は、請求項10において、反転出力回路内のミラー回路を構成するトランジスタの閾値電圧と、非反転出力回路内のダイオード接続トランジスタの閾値電圧との差が、制御回路から外部へと信号を出力する端子の電位となるようにしたので、反転出力回路のミラー回路の入力側トランジスタと、非反転出力回路のダイオード接続トランジスタとが電氣的に等価になり、反転・非反転出力回路からの出力が同じになるように回路を設計しやすくなる。

【0053】この発明の請求項12の受光素子回路は、請求項11において、制御回路を構成するトランジスタのうち、反転出力回路のミラー回路を構成するトランジスタと非反転出力回路のダイオード接続トランジスタとを除く全てのトランジスタの閾値電圧を、反転出力回路のミラー回路を構成するトランジスタの閾値電圧或は非反転出力回路のダイオード接続トランジスタの閾値電圧と一致させたので、トランジスタの閾値電圧が二種類に限定され、従って閾値電圧を制御するドーピング濃度の種類も限定されるので、受光素子回路を作製プロセスの工程数が少なく済む。

【0054】この発明の請求項13の受光素子回路は、請求項11または12において、受光素子の電位を電流に変換する回路に備えたトランジスタと同じ利得係数を有するトランジスタを、制御回路の反転出力回路及び非反転出力回路に備えたので、各回路を構成するトランジスタの利得係数を同じにすることで、反転・非反転出力回路からの出力が同じになるように回路を設計しやすくなる。さらに、受光素子回路のなかで特にトランジスタの作製プロセスの工程が簡略化される。

【0055】この発明の請求項14の受光素子回路は、請求項13において、制御回路の反転出力回路及び非反転出力回路のそれぞれの回路を選択するためスイッチング用トランジスタが同じ利得係数を有するので、反転・非反転出力回路を電氣的に等価にし易くなり、両回路からの出力が同じになるように回路を設計しやすくなる。

【0056】この発明の請求項15の受光素子回路は、請求項14において、反転出力回路に備えたミラー回路の出力側トランジスタ、受光素子の電位を電流に変換する回路に用いるトランジスタ、非反転出力回路に備えた

ダイオード接続トランジスタ及び反転出力回路に備えたミラー回路の入力側トランジスタのそれぞれの利得係数の大きさまたは該トランジスタ間の利得係数の大きさの比を特定したので、反転・非反転出力回路を電氣的に等価にし易くなり、両回路からの出力が同じになるように回路を設計しやすくなる。さらに、両回路からの出力を共に大きくしたり小さくしたりするような制御も容易にできる。

【0057】この発明の請求項16の受光素子回路は、請求項13乃至15のいずれかにおいて、受光素子回路を構成するトランジスタが、各トランジスタ間の電流駆動能力の比に対する利得係数比の値が各トランジスタ間のゲート幅／ゲート長比の比となる関係を有するトランジスタであるので、閾値電圧が異なることによるMOSトランジスタ間の電流駆動能力の違いを補うことができる。

【0058】この発明の請求項17の受光素子回路は、請求項1乃至16のいずれかにおいて、受光素子がpnフォトダイオードであるので、光電荷の発生が容易となり、簡便な受光素子を用いて回路構成ができる。

【0059】この発明の請求項18の受光素子回路は、請求項17において、pnフォトダイオードがp型基板に形成されたn型層を備えた或はn型基板に形成されたp型層を備えたものであるので、制御回路部のnMOSまたはpMOSトランジスタと同一の工程で作成できる。

【0060】この発明の請求項19の受光素子回路は、請求項18において、pnフォトダイオードのn型層またはp型層にpnフォトダイオードのリセット用のスイッチングトランジスタを接続したので、pnフォトダイオードの光蓄積時間の制御が可能となる。

【0061】この発明の請求項20の受光素子回路は、請求項17乃至19のいずれかにおいて、受光素子と制御回路とを形成する基板のドーピング濃度を $1 \times 10^{13} \text{ cm}^{-3}$ より高く $1 \times 10^{16} \text{ cm}^{-3}$ より低くしたので、基板のドーピング濃度が十分に低く、基板バイアス効果が無視できるため、制御回路の反転・非反転出力回路の電氣的な等価性を維持することができる。さらに、基板のドーピング濃度が低い空乏層が広がり易く、受光素子としての感度が向上する。

【0062】この発明の請求項21の受光素子回路は、請求項20において、受光素子と制御回路とを形成する基板がp型基板であり、該p型基板内の受光素子形成部分がドーピング濃度が $1 \times 10^{15} \text{ cm}^{-3}$ 以上のp型層とそ

のp型層とを備えた受光素子であるので、基板濃度が低い場合でも、pn接合部で空乏層が広がる部分の濃度が十分に高くなるため、pn接合容量を大きくすることができる。

【0063】この発明の請求項22の受光素子回路は、請求項1乃至21のいずれかにおいて、受光素子と制御回路との間に受光素子からの出力を蓄積するコンデンサを並列に接続したので、コンデンサにおいても光電荷を蓄積できるので、基板濃度が低くてpn接合容量が小さい場合でも、コンデンサを含めた受光素子部分での蓄積容量を大きくすることができる。

【0064】この発明の請求項23の受光素子回路は、請求項1乃至22のいずれかにおいて、トランジスタ回路を構成する部分に、金属膜を備えたので、金属膜によって光や電磁波がトランジスタ回路に入射するのを防ぐので、ノイズや回路の誤動作を避けることができる。

【0065】この発明の請求項24の受光素子回路アレイは、請求項1乃至23のいずれか1項に記載の受光素子回路を、一次元または二次元のアレイ状に配置して構成したので、一次元または二次元の光パターンを同時に並列に受光し、所望の画像処理が可能となる。

【0066】この発明の請求項25の受光素子回路アレイは、請求項24において、アレイ状に配置した複数の受光素子回路の水平方向の一つのライン上に並ぶ受光素子回路のスイッチ用端子を共通にし、垂直方向の一つのライン上に並ぶ感度可変受光素子回路の出力端子を共通にしたので、一次元または二次元の光パターンを同時に、並列に、かつ画素間演算を行いながら取り出すことができる。

【0067】この発明の請求項26の受光素子回路アレイは、請求項24または25において、受光素子回路内の接地ラインに、基板コンタクトを受光素子回路毎に設けたので、受光素子で過剰な光電荷が発生した場合でも、コンタクト部から接地のラインに電荷が逃げるため、周囲の画素に回り込んでノイズ等の原因となるのを防ぐ。更に受光素子からの光電荷があふれた場合に周囲の画素に回り込んでノイズ等の原因となるのを防ぐ。

【0068】この発明の請求項27の受光素子回路の構成方法は、受光素子と、受光素子の電位を電流に変換する回路を介して得た信号の大きさと極性を制御して外部へと出力する制御回路とを基板上に備えた受光素子回路を構成する方法において、前記制御回路の前記信号の極性を制御する回路のうち、信号の向きを変えずに出力端子に接続する回路（非反転出力回路）を選択して外部へ出力する信号の大きさを計測または計算する第1のステップと、前記制御回路の前記信号の極性を制御する回路のうち、信号の向きを反転させて出力端子に接続する回路（反転出力回路）を選択して外部へ出力する信号の大きさを計測または計算する第2のステップと、第1及び第2のステップの結果を比較する第3のステップと、前

記反転・非反転出力回路が同じ受光素子電位に対して前記反転・非反転出力回路からの出力信号の大きさが同じになるように制御回路を構成するMOSトランジスタの利得係数を設定する第4のステップとを備えたので、反転・非反転出力回路の出力はそれぞれの回路のMOSトランジスタの利得係数の関数で記述することができるため、反転・非反転出力回路の出力の絶対値を利得係数によって制御できる。

【0069】この発明の請求項28の受光素子回路の構成方法は、請求項27において、第4のステップの後、第4のステップにおいて設定されたMOSトランジスタの利得係数をそれぞれのMOSトランジスタのゲート幅とゲート長との比で制御する第5のステップを備えたので、MOSトランジスタの利得係数をトランジスタのゲート幅とゲート長との比で制御したので、簡便にMOSトランジスタの利得係数を制御できる。

【0070】この発明の請求項29の受光素子回路の構成方法は、請求項27または28において、予め特定された閾値電圧を有するMOSトランジスタと、予め電圧の特定された出力端子を備えた受光素子回路を用いたので、MOSトランジスタの利得係数の値を設定する際のパラメータが減少し、利得係数の決定が容易になる。

【0071】この発明の請求項30の受光素子回路の構成方法は、請求項27乃至29のいずれかにおいて、第4のステップに代わって、第1及び第2のステップの結果を比較する第3のステップの後に、受光素子回路の出力を増大させるかあるいは受光素子回路の線形性を向上させるかいずれかを選択するステップを配置し、受光素子回路の出力増大を選択した場合には前記反転・非反転出力回路が同じ受光素子電位に対して前記反転・非反転出力回路からの出力信号の大きさが同じになるように且つ出力信号が所定の値以上になるように制御回路を構成するMOSトランジスタの利得係数を設定するステップを配置し、受光素子回路の線形性向上を選択した場合には前記反転・非反転出力回路が同じ受光素子電位に対して前記反転・非反転出力回路からの出力信号の大きさが同じになるように且つ出力信号が所定の値以下になるように制御回路を構成するMOSトランジスタの利得係数を設定するステップを配置したので、出力信号を反転・非反転出力回路で同一にすることが可能となると共に、出力信号の大きさ、線形性等の性質までも制御が可能となる。

【0072】この発明の請求項31の受光素子回路の構成方法は、請求項29または30において、制御回路を構成するMOSトランジスタの利得係数を設定するステップにおいて、閾値電圧の異なるトランジスタ間のゲート幅／ゲート長比の比を該トランジスタ間の電流駆動能力の比に対する利得係数の比となるようにMOSトランジスタの利得係数を設定したので、閾値電圧が異なることによるMOSトランジスタ間の電流駆動能力の違いを

補うことができる。

【0073】

【実施例】

実施例1. 以下、この発明を図について説明する。図1はこの発明の原理を説明するための回路構成を模式的に示したものである。図において、受光素子3の電位は、受光素子の電位を電流に変換する回路5に入力される。変換回路5からの出力電流は、出力の向きを変えずに出力端子10に接続する（非反転出力）MOSトランジスタ回路6、および出力の向きを反転させて出力端子10に接続する（反転出力）MOSトランジスタ回路7に導かれる。

【0074】次に動作について説明する。まず、一端が基板コンタクト（図示せず）を介して接地4されている受光素子3はリセットスイッチ用MOSトランジスタ2を通じてバイアス端子1によりバイアスされる。光入射により受光素子3に電荷が蓄積されると変換回路5のコンダクタンスが変化する。これにより受光素子出力は増幅され、S/N比を向上することが可能となる。ここで制御端子8から入力があると、変換回路5からの出力電流は非反転出力回路6を通してそのまま出力端子10から出力され、制御端子9から入力があると、変換回路5からの出力電流は反転出力回路7によって反転されて、逆方向の電流となって出力端子10から出力される。

【0075】ここで制御回路である非反転出力回路6と反転出力回路7とはいずれもMOSトランジスタにより構成されており、非反転出力回路6と反転出力回路7からの出力は、これらの回路を構成するMOSトランジスタの利得係数（以降 $\beta$ と略す）の関数で記述される。このことからこれらの回路を構成するMOSトランジスタの利得係数 $\beta$ を調整することにより、同じ受光素子電位に対して非反転出力回路6と反転出力回路7からの出力の大きさの絶対値を同じにすることができる。すなわち大きさが同じで向きのみが逆の出力を得ることができるから、出力の相殺等画素間の演算ができるようになる。

【0076】一方、MOSトランジスタの出力電流値Iは、（ある一定の条件の下では）

$$I = \beta / 2 \cdot (V_G - V_{th} - V_S)^2 \quad \dots (1)$$

で表わされる。ここで、 $\beta$ は利得係数、 $V_G$ はMOSトランジスタのゲート電位、 $V_{th}$ はMOSトランジスタの閾値電圧、 $V_S$ はMOSトランジスタのソース電位である。利得係数 $\beta$ は、

$$\beta = \mu \epsilon (ox) / t (ox) \cdot (W / L) \quad \dots (2)$$

で表わされる。ここで、 $\mu$ は実効表面移動度、 $\epsilon (ox)$ は酸化膜の誘電率、 $t (ox)$ は酸化膜の厚さである。即ち、MOSトランジスタの利得係数 $\beta$ は、チャネルでの電子の実効表面移動度 $\mu$ と、ゲート絶縁体の単位面積当たりの容量 $\epsilon (ox) / t (ox)$ と、MOSトランジスタのゲート幅 $W$ ／ゲート長 $L$ の比（以降 $(W / L)$ と略す）の積であるから、これらの値を操作することにより、利得係数

$\beta$ は制御可能となる。また、 $W/L$ の操作は回路設計時にトランジスタの $W$ と $L$ とのサイズを決めるだけで容易に $\beta$ を制御できる。

【0077】図2は、この発明の一実施例を示す具体的回路構成図である。図において、図1と対比して説明すると、受光素子3の電位を電流に変換する回路5はMOSトランジスタ11により構成され、非反転出力回路は外部から制御端子8によって該非反転出力回路を選択できるように選択用のMOSトランジスタ12により構成される。反転出力回路はカレントミラー回路を備え、カ

レントミラー回路の入力側MOSトランジスタ13、カレントミラー回路の出力側MOSトランジスタ14、及び外部から制御端子9によって反転出力回路を選択できるように選択用のMOSトランジスタ15により構成される。また16は電源電圧である。

【0078】次に、動作について説明する。まず、一端が基板コンタクトを介して接地4されている受光素子3はリセットスイッチ用MOSトランジスタ2を通じてバイアス端子1によりバイアスされる。光入射により受光素子3に電荷が蓄積されると変換回路であるMOSトランジスタ11のコンダクタンスが変化する。これにより受光素子出力は増幅され、 $S/N$ 比を向上することが可能となる。制御端子8から入力があると、MOSトランジスタ11からの出力電流は非反転出力選択用スイッチ12を通してそのまま出力端子10から出力される。一方、制御端子9から入力があると、MOSトランジスタ11からの出力電流は反転出力選択用スイッチ15を介してミラー回路に入力され、MOSトランジスタ13、14を介して反転した電流が出力端子10から出力される。

【0079】ここで、 $\beta$ の設定手順について説明する。まず、ある $\beta$ を有するMOSトランジスタから構成され\*

$$\beta_{VI} : \beta_{SP} : \beta_{MI} : \beta_{MO} : \beta_{SN} = 1 : 1 : 1.7 : 3 : 3 \quad \dots (3)$$

のように決定すると、図17のような出力のアンバランスが図3のように、改善される。ここで、図3は上記の比で $\beta$ を設定した場合の、非反転出力の大きさ、及び反転出力を非反転出力から引いた大きさを、受光素子電位の関数としてプロットしたものの一例である。理想的には反転出力を非反転出力から引いたグラフは横軸に一致すれば良いことになる。わずかなずれはあるものの、ほぼ横軸に一致しており、大きさが同じで向きのみが逆の出力が得られていることが分かる。これにより出力の相殺等画素間の演算ができるようになる。

【0082】また、上記実施例では非反転出力回路または反転出力回路選択用のスイッチングMOSトランジスタ12及び15を、MOSトランジスタ11よりも電源電圧16から離れた位置に配置したが、図4のように、MOSトランジスタ11よりも電源電圧16に近い位置に配置してもよい。但し、図4のようにMOSトランジスタ11よりも電源電圧16に近い配置すると、受光素

\* 制御回路において、非反転出力回路を選択した時の出力電流を計測する。次に、同じ受光素子電位に対して反転出力を選択した時の出力電位を計測する。両者の結果と制御回路の構成（反転・非反転出力回路の非対称性）から最適な $\beta$ の組み合わせを算出する。この時反転・非反転出力回路のどちらの出力の大きさに合わせるかあるいは別の値に設定するかはいずれでもよい。 $\beta$ の設定方法として、 $W/L$ を調整するならば、設定された $\beta$ と式(2)から各トランジスタの $W/L$ を決定し、受光素子回路作成プロセスにおいて、決定された $W/L$ のサイズで設計し、受光素子回路を形成する。

【0080】なお、図2中各MOSトランジスタの利得係数を記号で付したが、これは以下のことを示している。

$\beta_{VI}$  ... 受光素子の電位を電流に変換するMOSトランジスタ11の $\beta$

$\beta_{SP}$  ... 非反転出力選択用MOSトランジスタ12の $\beta$

$\beta_{MI}$  ... カレントミラー回路の入力側MOSトランジスタ13の $\beta$

$\beta_{MO}$  ... カレントミラー回路の出力側MOSトランジスタ14の $\beta$

$\beta_{SN}$  ... 反転出力選択用MOSトランジスタ15の $\beta$

【0081】上記5つのMOSトランジスタの $\beta$ が全て等しい場合は、従来例の図16と同等で、出力電流として図17に示すような結果しか得られない。ここで、これらの $\beta$ を調整することにより、反転、非反転出力回路からの出力の大きさを、同じ受光素子電位に対してほぼ同じになるようにすることができる。例えば、図2において、従来全て等しく設定していた $\beta$ を、上記 $\beta$ の設定手順に従って、

子電位によってMOSトランジスタ11のドレイン電圧が変化してしまうことになり、線形性が悪くなる。これに対し、図2のように、スイッチングトランジスタ12や15が、MOSトランジスタ11よりも電源電圧16から遠い側にある構造は、単純であるだけでなく、出力電流の線形性も良くなる。

【0083】上記実施例では $\beta$ の設定において、仮の受光素子を形成し、その制御回路を計測することによって $\beta$ の最適値を計算により決定していたが、仮の $\beta$ を有する模擬回路を設定し、この回路における制御回路の出力を算出し、 $\beta$ の最適値を計算により決定するというモデル計算によって $\beta$ を算定してもよい。

【0084】また、上記実施例の受光素子の電位を電圧に変換するトランジスタ11としてnMOSトランジスタでもpMOSトランジスタのいずれでもよい。他の回路を構成するトランジスタと種類を一致させることで、受光素子回路の形成工程は簡略化される。

【0085】また、上記実施例では、受光素子について、特に記載しなかったが、pnフォトダイオード等光電荷を感度良く変換蓄積できる受光素子であればよい。pnフォトダイオードを用いれば、p型半導体基板上にn層あるいはn型半導体基板上にp層を形成して受光素子を形成し、受光素子回路を実現できる。さらに、他のトランジスタも同一基板に簡便なプロセスで形成でき、トランジスタの種類をnMOSあるいはpMOSのいずれかに合わせて基板の種類を選択できる。また、半導体基板としてシリコン基板を用いれば、高度なシリコンプロセスで受光素子回路が形成できる。

【0086】実施例2. 以下、この発明の他の実施例について図を用いて説明する。図5は、この発明の一実施例を示す回路構成図である。図において、非反転出力回路内に設けられたMOSトランジスタ17はダイオード接続（トランジスタのゲート端子とドレイン端子を接続）されている。

【0087】次に、動作について説明する。まず、一端が基板コンタクトを介して接地4されている受光素子3はリセットスイッチ用MOSトランジスタ2を通じてバイアス端子1によりバイアスされる。光入射により受光素子3に電荷が蓄積されるとトランジスタ11のコンダクタンスが変化する。これにより受光素子出力は増幅され、S/N比を向上することが可能となる。スイッチングトランジスタ18が入力されると、MOSトランジスタ11からの出力電流はダイオード接続トランジスタ17を通してそのまま出力端子10から出力される。一方、スイッチングトランジスタ19が入力されると、MOSトランジスタ11からの出力電流はミラー回路に入力され、MOSトランジスタ13、14を介して反転した電流が出力端子10から出力される。

【0088】反転出力回路を構成するミラー回路には、ダイオード接続のMOSトランジスタ13が含まれ、このダイオード接続MOSトランジスタを通った電流が出力電流を決める。従って、非反転出力回路にもダイオード接続MOSトランジスタ17を配置してやれば、反転・非反転出力回路の構造を回路的に対称にすることが容易となり、それによって各回路からの出力電流の大きさが等しくなるような設計が容易になる。

【0089】以下、決定した回路構成に従って、実施例1で示した手順で反転・非反転出力回路の出力を比較して、各回路を構成するMOSトランジスタの利得係数 $\beta$ を算定し、さらに $W/L$ を決定する。

【0090】また、実施例1と同様に受光素子の電位を電流に変換する回路に用いられるトランジスタはnMOSあるいはpMOSのいずれであってもよい。さらに、受光素子についても実施例1と同様にpnフォトダイオードのような受光素子であればよい。

【0091】実施例3. 以下この発明の他の実施例について図を用いて説明する。図6は、この発明の一実施例

を示す回路構成図である。図6は実施例2の図5に用いられた反転・非反転出力回路の選択用スイッチングトランジスタ19、18を図2と同様にMOSトランジスタ15、12で形成したものである。反転出力回路のダイオード接続MOSトランジスタ13は、MOSトランジスタ11を基点とすると、選択スイッチ用MOSトランジスタ15よりも離れた位置に配置する。従って、図5ではスイッチングトランジスタ18のほうに離れた位置に配置した例となっているが、非反転出力回路のダイオード接続MOSトランジスタ17も、MOSトランジスタ11から見て、選択スイッチ用MOSトランジスタよりも離れた位置に配置すれば、反転・非反転出力回路の構造を対称にすることが容易となり、それによって各回路からの出力電流の大きさが等しくなるような設計が容易になる。

【0092】また、上記実施例では非反転出力回路または反転出力回路選択用のスイッチングMOSトランジスタ12及び15を、MOSトランジスタ11よりも電源電圧16から離れた位置に配置したが、実施例1の図2と図4との関係のように、図7で示されるような、MOSトランジスタ11よりも電源電圧16に近い位置に配置してもよい。但し、図7のようにMOSトランジスタ11よりも電源電圧16に近い位置に配置すると、受光素子電位によってMOSトランジスタ11のドレイン電圧が変化してしまうことになり、線形性が悪くなる。これに対し、図6のように、スイッチングトランジスタ12や15が、MOSトランジスタ11よりも電源電圧16から遠い側にある構造は、単純であるだけでなく、出力電流の線形性も良くなる。

【0093】実施例4. 以下この発明の他の実施例について図を用いて説明する。図8は、この発明の一実施例を示す回路構成図で、図6の回路のトランジスタに、各トランジスタの有する閾値電圧( $V_{th}$ )を付している。回路を構成するトランジスタの閾値電圧は回路を流れる電流を決定する要因となるため、予め設定された閾値電圧を有するトランジスタを用いれば、反転・非反転出力回路の出力を一致させる回路設計が容易になる。即ち、予め設定された閾値電圧を有するトランジスタで構成された回路での反転・非反転出力回路の出力のわずかな差を利得係数で補正すればよいことになる。

【0094】ここで各MOSトランジスタの $V_{th}$ を以下のように記す。

$V_{th}(VI)$ ・・・受光素子の電位を電流に変換するMOSトランジスタ11の $V_{th}$

$V_{th}(SP)$ ・・・非反転出力選択用MOSトランジスタ12の $V_{th}$

$V_{th}(MI)$ ・・・カレントミラー回路の入力側MOSトランジスタ13の $V_{th}$

$V_{th}(MO)$ ・・・カレントミラー回路の出力側MOSトランジスタ14の $V_{th}$

$V_{th}(SN)$ ・・・反転出力選択用MOSトランジスタ15の $V_{th}$

$V_{th}(DP)$ ・・・ダイオード接続MOSトランジスタ17の $V_{th}$ また、各点の電位を以下のように記す。

$V_{mirr}$ ・・・ミラー回路のゲート電位

$V_{diode}$ ・・・ダイオード接続トランジスタ17のゲート電位

$V_{out}$ ・・・出力端子10の電位

【0095】ダイオード接続MOSトランジスタ17は、常に飽和領域で動作する。このときMOSトランジスタの一般的な動作原理により、非反転出力回路からの出力電流値は、

$$V_{diode} - V_{th}(DP) - V_{out} \quad \dots (4)$$

で記述される電位によって決まる。また、反転出力回路からの出力電流値は、カレントミラー回路の出力側MOSトランジスタ14が飽和領域で動作している範囲では、

$$V_{mirr} - V_{th}(MO) \quad \dots (5)$$

で記述される電位によって決まり、 $V_{out}$ に依存しない。二つの式(4)(5)の値を等しくすると、反転・非反転出力回路からの出力電流値を完全に一致させることが可能となる。ここで、簡単のためスイッチ12、15のオンの状態での抵抗を無視すると、 $V_{mirr}$ と $V_{diode}$ の値は一致する。二つの式(4)(5)より、反転・非反転出力回路からの出力電流値一致させるには、

$$V_{th}(MO) - V_{th}(DP) = V_{out} \quad \dots (6)$$

を満たせばよい。また、スイッチ12、15の抵抗が無視できない場合でも、両トランジスタを全く同じMOSトランジスタで構成しスイッチング電圧を同じにすれば、 $V_{mirr}$ と $V_{diode}$ の値は一致し、(6)式は導くことができる。

【0096】一方、カレントミラー回路の出力側MOSトランジスタ14が飽和領域で動作する条件としては、

$$V_{mirr} - V_{th}(MO) \leq V_{out} \quad \dots (7) \quad *$$

$$\beta_{VI} : \beta_{SP} : \beta_{DP} : \beta_{MI} : \beta_{MO} : \beta_{SN} = 1 : 1 : 1 : 1 : 1 : 1 \quad \dots (8)$$

とすれば良い。

【0100】実施例6。以下、この発明の別の実施例について説明する。実施例1～5で反転・非反転出力回路からの出力電流値の大きさを一致させることはできるが、受光素子回路からの出力は後段で所望の画像処理を施される場合が多い。従って、出力電流値の大きさを制御し、所望の出力電流を得る必要がある。即ち、実施例1の $\beta$ 設定手順に出力電流の大きさを考慮すればよい。

【0101】以下、図6で示される回路を例に出力電流の大きさを考慮した $\beta$ 設定手順について説明する。まず、実施例1のようにまず、図6のある $\beta$ を有するMOSトランジスタから構成される制御回路において、非反転出力回路を選択した時の出力電流を計測する。次に、同じ受光素子電位に対して反転出力を選択した時の出力電位を計測する。ここで、出力電流として大きな信号が

\*となり、これを大きく逸脱しないような範囲で動作させればよい。

【0097】ミラー回路であるので、 $V_{th}(MO)$ は $V_{th}(MI)$ と一致する。従って、(7)式の条件下で、制御回路を構成するトランジスタの閾値電圧 $V_{th}(MO)$ 、 $V_{th}(DP)$ 及び出力端子の電圧 $V_{out}$ を式(6)に従って特定すれば、反転・非反転出力回路の出力を一致させやすい。特定の閾値電圧で構成した制御回路は、実施例1に示した手順で、反転・非反転出力回路の出力を比較し、わずかな差は各トランジスタの利得係数 $\beta$ で調整すればよい。

【0098】なお、上記実施例では、出力端子の電圧 $V_{out}$ と共にトランジスタのうちミラー回路を構成するトランジスタ13、14及び非反転出力回路のダイオード接続トランジスタ17の閾値電圧 $V_{th}(MO)$ 、 $V_{th}(DP)$ を特定したが、これら以外のトランジスタ11、15、12の閾値電圧 $V_{th}(VI)$ 、 $V_{th}(SN)$ 、 $V_{th}(SP)$ を $V_{th}(MO)$ 、あるいは $V_{th}(DP)$ のいずれかの閾値電圧に一致させれば、制御回路全体を構成するトランジスタの閾値電圧の種類が少なく(2種類)、回路の構成、作成が単純化する。閾値電圧は、通常受光素子回路形成プロセスの中で、半導体への不純物ドーピング濃度(量)で制御される。即ち、ドーピング濃度が一致するトランジスタ以外の部分をマスクングしてドーピングし、閾値電圧の種類数だけこの工程を異なるマスクを用いて繰り返さなくてはならない。従って、閾値電圧の種類が少ないとこの工程を繰り返す数が減少しプロセスが簡便になる。

【0099】実施例5。以下この発明の他の実施例について説明する。上記実施例4の条件を満たすとき、MOSトランジスタ13、14、17の利得係数が等しく、またMOSトランジスタ12、15の利得係数が等しければ、反転・非反転出力回路は電氣的に等価となり両出力回路からの出力電流の大きさが等しくなる。そのようになる一番単純な条件としては、図6における各MOSトランジスタの $\beta$ の関係を

必要か、小さな信号が必要かを判断する。図3の出力電流が比較的小さい場合にはグラフは線形性を有する。一方、出力電流が大きくなると非線形になる。これらの性質から、後段の画像処理としていずれが必要かを判断する。

【0102】例えば、大きな出力電流が必要な場合の $\beta$ の設定方法は以下のようなものである。非反転出力回路からの出力を大きくするためには $\beta_{SP}$ または $\beta_{DP}$ を大きくすればよい。また反転出力回路からの出力を大きくするためには、ミラー回路出力側MOSトランジスタ14の $\beta_{MO}$ を大きくして出力電流を増やすか、スイッチ用MOSトランジスタ15の $\beta_{SN}$ を大きくしてミラー回路の入力側に電源電圧を伝えやすくするか、ミラー回路入力側MOSトランジスタ13の $\beta_{MI}$ を小さくして接地電位を伝えにくくすることで、ミラー回路のゲート電位を



上げてやればよい。

【0103】一方、反転、非反転出力回路からの出力電流値の大きさをともに小さくする場合の $\beta$ の設定方法は以下のようなものである。非反転出力回路からの出力を小さくするためには $\beta_{SP}$  または $\beta_{DP}$  を小さくすればよい。また反転出力回路からの出力を小さくするためには、ミラー回路出力側MOSトランジスタ14の $\beta_{MO}$  を小さくして出力電流を減らすか、スイッチ用MOSトランジスタ15の $\beta_{SN}$  を小さくしてミラー回路の入力側に電源電圧を伝えにくくするか、ミラー回路入力側MOSトランジスタ13の $\beta_{MI}$  を大きくして接地電位を伝えやすくすることで、ミラー回路のゲート電位を下げればよい。出力電流値を下げることで、受光素子電位に対する出力応答特性の線形性が良くなる。

【0104】図9に、非反転出力回路のスイッチ用MOSトランジスタ12の利得係数 $\beta_{SP}$ を変化させた時の( $\beta_{VI}$ に対して変化させた時の例)受光素子電位に対する出力電流の大きさを示したものである。それぞれの曲線には線形性の良否が分かるように任意の接線を付してある。 $\beta_{SP}$ が小さい方が出力電流は小さく、線形性に優れることが分かる。この特性を利用して、出力電流は小さくすることで、受光素子回路としての線形性を向上させればよい。

【0105】以下、実施例1と同様に、両回路の計測結果に上記の条件を考慮して最適な $\beta$ の組み合わせを算出する。 $\beta$ の設定方法として、 $W/L$ を調整すればよい。

【0106】実施例7。実施例6では図6の回路における出力電流の調整方法について示したが、本実施例では図2の回路での調整方法について説明する。図2の回路は図6の回路でダイオード接続トランジスタ17が無いだけで、同様の考え方で反転、非反転出力回路からの出力電流値の大きさをどちらも大きくすることができる。非反転出力回路からの出力を大きくするためには $\beta_{SP}$  を大きくすればよく、また反転出力回路からの出力を大きくするためには、ミラー回路出力側MOSトランジスタ14の $\beta_{MO}$  を大きくして出力電流を増やすか、スイッチ用MOSトランジスタ15の $\beta_{SN}$  を大きくしてミラー回路の入力側に電源電圧を伝えやすくするか、ミラー回路入力側MOSトランジスタ13の $\beta_{MI}$  を小さくして接地電位を伝えにくくすることで、ミラー回路のゲート電位を上げてやればよい。

【0107】一方、反転・非反転出力回路からの出力電流値の大きさをともに小さくするには以下のようにすればよい。非反転出力回路からの出力を小さくするためには $\beta_{SP}$  を小さくすればよい。また反転出力回路からの出力を小さくするためには、ミラー回路出力側MOSトランジスタ14の $\beta_{MO}$  を小さくして出力電流を減らすか、スイッチ用MOSトランジスタ15の $\beta_{SN}$  を小さくしてミラー回路の入力側に電源電圧を伝えにくくするか、ミラー回路入力側MOSトランジスタ13の $\beta_{MI}$

を大きくして接地電位を伝えやすくすることで、ミラー回路のゲート電位を下げてやればよい。出力電流値を下げることで、受光素子電位に対する出力応答特性の線形性が良くなる。

【0108】なお、上記実施例6、7において、実施例4のように予め各トランジスタの閾値電圧を特定しておけば、出力電流の調整が容易になることは言うまでもない。

【0109】また、上記実施例6、7において、反転・非反転出力回路からの出力電流の大きさを調整する時に、スイッチ用トランジスタ12、15の $\beta$ を等しく( $\beta_{SP} = \beta_{SN}$ )しておけば、反転、非反転出力回路からの出力電流の大きさが等しくなるような設計が容易になる。

【0110】実施例8。以下、この発明の他の実施例について説明する。上記実施例6、7において、反転、非反転出力回路からの出力電流の大きさを調整するとき

$$\beta_{MO} = \beta_{VI} \quad \dots (9)$$

と規定する。反転出力回路において、 $\beta_{MI}$ を $k$ 倍して図8の $V_{mirr}$ を下げ、出力電流値を小さくすることと、非反転出力回路において $\beta_{DP}$ を $1/k$ 倍してダイオード接続トランジスタ17のコンダクタンスを下げ、出力電流値を小さくすることとはほぼ同等の効果となる。逆に、 $\beta_{MI}$ を $1/k$ 倍して図8の $V_{mirr}$ を上げ、出力電流値を大きくすることと、非反転出力回路において $\beta_{DP}$ を $k$ 倍してダイオード接続トランジスタ17のコンダクタンスを上げ、出力電流値を大きくすることとはほぼ同等の効果となる。従って、

$$\beta_{MI} : \beta_{VI} = \beta_{VI} : \beta_{DP} \quad \dots (10)$$

という条件を合わせて規定して、MOSトランジスタ13、17の $\beta$ を変化させていけば、反転、非反転出力回路からの出力電流の大きさを一致させながら出力の大きさを制御することが容易になる。

【0111】実施例9。以下、この発明の他の実施例について説明する。MOSトランジスタの利得係数 $\beta$ は、式(2)で示したように、

$$\beta = \mu \epsilon(\text{ox}) / t(\text{ox}) \cdot (W/L) \quad \dots (2)$$

で記載される。本式(2)において、一般に閾値電圧が変わると $\mu$ の値も変化する。ここで $\mu$ はチャネルでの実効表面移動度で、実質的にはトランジスタの電流駆動能力を表わす。即ち同じ $(W/L)$ に対する出力電流値が変わる。そこで実施例5～8のように、閾値電圧を特定して利得係数 $\beta$ の組み合わせを最適化し、さらに $(W/L)$ を制御するには、 $\mu$ の違いを考慮しなくては精密な $\beta$ の最適化はできない。そこで、実施例5～8において、反転出力回路と非反転出力回路との出力の大きさを比較し、 $\beta$ 及び $(W/L)$ を決定する際に閾値電圧の異なるトランジスタ間で、 $\beta$ の比を $\mu$ の比で割った値を $(W/L)$ の比として用いてやればよい。閾値電圧の

高いトランジスタと低いトランジスタの間で同じ $\beta$ の値にするときに、閾値電圧の高いトランジスタの $\mu$ が閾値電圧の低いトランジスタの $\mu$ の半分になってしまうとしたら、閾値電圧の高いトランジスタの $(W/L)$ を閾値電圧の低いトランジスタの $(W/L)$ の倍にすればよい。

\*

$$(\beta_1/\beta_2) / (\mu_1/\mu_2) = (W/L_1) / (W/L_2) \quad \dots (11)$$

式を満たすようにゲート幅/ゲート長の比 $W/L$ を決定すればよい。

【0113】さらに、ソース側電位が異なると、基板バイアス効果により閾値電圧が影響を受けるため、式(1)からわかるようにMOSトランジスタの出力電流値 $I$ も変化してしまう。そこで、実施例1～8のような動作を設計通り正常に実現するためには、この基板バイアス効果を考慮し、電流値の下がってしまうトランジスタの $W/L$ をその分大きくするか、電流値の下がらないトランジスタの $W/L$ をその分小さくすればよい。

【0114】実施例10. 以下、この発明の別の実施例について図を用いて説明する。本実施例では、実施例1～9にp nフォトダイオードを受光素子として用いた場合の受光素子回路の構造について詳細な例を説明する。

【0115】図10は、この発明の一実施例の受光素子回路の断面構造を示す一部断面図である。図において、p-基板20上に受光素子一端がリセットスイッチ2を介してバイアス端子1に接続されたn+層からなる受光素子3、該受光素子3からの電位を電流に変換するトランジスタ11、及び回路自身を接地するための端子4が形成あるいは接続されている。リセットスイッチ2及びトランジスタ11には絶縁層(図示せず、但し金属膜22の直下に配置されている)を介してシールド用の金属膜22が配置される。p-基板20には基板コンタクトを取るためのp+層21が形成され、接地4される。なお、本図は一断面であり、本来ならば受光素子回路を構成する複数のトランジスタは他の断面部分に配置してい※

$$\Delta V_{th} = \gamma \left[ (V_{sb} + 2 V_{BF})^{1/2} - (2 V_{BF})^{1/2} \right] \quad \dots (12)$$

ここで、 $V_{sb}$ はソース-基板間の電位差、 $V_{BF}$ はp n接合のビルトイン障壁を示す。また、 $\gamma$ は下式(12)で表わ★

$$\gamma = t(ox) / \epsilon(ox) \cdot (2 q \epsilon(Si) Na)^{1/2} \quad \dots (13)$$

ここで、 $t(ox)$ は酸化膜の厚さ、 $\epsilon(ox)$ は酸化膜(ここではシリコン酸化膜)の誘電率、 $q$ は電子の電荷、 $\epsilon(Si)$ はシリコンの誘電率、 $Na$ は基板のドーピング濃度である。

【0118】式(12)において、 $\left[ (V_{sb} + 2 V_{BF})^{1/2} - (2 V_{BF})^{1/2} \right]$ の項は受光素子を形成するプロセスで調整することができず、トランジスタのある動作電位においては定数となる。従って、基板バイアス効果による閾値電圧の変動の影響、即ち $\Delta V_{th}$ を小さくするには、 $\gamma$ を小さくしなくてはならない。

【0119】上式(12)(13)において、

$$\epsilon(ox) = 4 \times 8.85 \times 10^{-14} \text{ (F/cm)}$$

\* 【0112】例えば、 $\beta$ を決定すべき2つのMOSトランジスタとして閾値電圧 $V_1$ 及び $V_2$ を有するものとする。それぞれのトランジスタの利得係数を $\beta_1$ 、 $\beta_2$ 、電流駆動能力を $\mu_1$ 、 $\mu_2$ 、ゲート幅/ゲート長の比を $W/L_1$ 、 $W/L_2$ とすると、

※る。基板としては、半導体基板でドーピングすることによりp-基板が実現できるものであればよいが、シリコンを用いればプロセスが簡便になる。以下、基板はシリコンであるものとする。

【0116】受光素子3としては、p-基板20にn+層を形成したものを利用しているため、通常のMOSトランジスタと同一の工程で作製することができる。またリセット用のスイッチングトランジスタ2を介してバイアス端子1に接続されているため、このリセット用トランジスタ2で蓄積時間を決めて光電荷の蓄積を行うことができるので、高感度化が図れる。また受光素子回路内に基板コンタクト21を設けて接地4に導くことにより、光入射が強くて受光素子に電荷が過剰に発生した場合でも、基板コンタクト21を介して電荷を逃がすことにより、例えば受光素子回路を複数配置した場合に周辺の受光素子内に回り込みノイズ等の発生原因となるのを防ぐことができる。さらに、金属膜22によるシールドがあるため、トランジスタ回路に光や電磁波が入射するのを防ぐことができ、ノイズや誤動作の発生を低減できる。

【0117】次に、本実施例に用いる基板のドーピング濃度について説明する。本実施例ではp-基板20として、ドーピング濃度が $1 \times 10^{16} \text{ cm}^{-3}$ より低いものを用いた。ドーピング濃度が $1 \times 10^{16} \text{ cm}^{-3}$ より低いと、基板バイアス効果が抑えられるため、閾値電圧の変動が抑制される。基板バイアス効果による閾値電圧の変化の項 $\Delta V_{th}$ は以下のような式で表される。

★される。

$$q = 1.6 \times 10^{-19} \text{ (c)}$$

$$\epsilon(Si) = 12 \times 8.85 \times 10^{-14} \text{ (F/cm)}$$

であり、実際のプロセスで使用される膜厚の範囲から、ここでは酸化膜の厚さを

$$t(ox) = 20 \text{ (nm)}$$

とすると、

$$Na = 1 \times 10^{16} \text{ (cm}^{-3}\text{)}$$

以下のときには

$$\gamma = 0.33$$

以下で、 $\Delta V_{th}$ の値は小さくなる。従ってp-基板20として、ドーピング濃度が $1 \times 10^{16} \text{ cm}^{-3}$ より低くなる

と、基板バイアス効果が抑えられるため、これによる閾



値電圧の変動の影響を考慮せず、反転、非反転出力回路の設計を行うことができる。

【0120】さらに、空乏層の幅  $d$  は、  
 $d \propto (Na)^{-1/2} \dots (14)$

の関係を有するので、 $p$ -基板20のドーピング濃度が低い、即ち $Na$ が小さいと空乏層が広がり易く、受光素子としての感度が向上する。なお、ドーピング濃度としては $1 \times 10^{13} \text{cm}^{-3}$ 以下にはできないことは言うまでもない。

【0121】また、図10では受光素子として $p$ 型基板10に $n$ 型層を形成したものを利用したが、 $p$ ウェルに $n$ 型層を形成したものや、 $n$ 型基板や $n$ ウェルに $p$ 型層を形成したものをを用いても、同様の効果が得られることは言うまでもない。

【0122】実施例11.以下、この発明の一実施例について図を用いて説明する。図11は、この発明の一実施例を示す受光素子回路の構造を示す一部断面図である。図において、受光素子3は並列に接続されたコンデンサ23とともに電位を電流に変換するトランジスタ11に接続される。図10のように $p$ -基板に $n$ +層を作り込んで（または $n$ -基板に $p$ +層を作り込んで）受光素子を作った場合、 $p$ - $n$ 接合容量が十分でなく、受光素子の出力電位が容易に飽和してしまう。そこで、図11に示すように、受光素子3に並列にMOSキャパシタンスによるコンデンサ23を接続してやれば、受光素子としての電荷の蓄積容量を大きくすることができる。

【0123】なお、上記実施例10のように各トランジスタ回路にシールド用の金属膜22を備えることにより、ノイズや誤動作の抑制が可能なのは言うまでもない。さらに、基板コンタクト21を設けることもできる。

【0124】実施例12.以下、この発明の他の実施例について図を用いて説明する。図12は、この発明の一実施例を示す受光素子回路の構造を示す一部断面図である。図において、 $p$ - $n$ 接合の容量 $C$ は、 $n$ 側のドーピング濃度が $p$ 側のドーピング濃度よりも十分高い場合、以下式(15)で記述される。

$$C = (q \epsilon (\text{Si}) Na / 2 V_{\text{BF}})^{1/2} \dots (15)$$

即ち、 $p$ 側のドーピング濃度の $1/2$ 乗に比例する。受光素子として蓄積電荷容量を大きくし、受光量の範囲を広げるには $p$ 側のドーピング濃度を高くすればよい。そこで、例えば $p$ -基板20としてドーピング濃度が $1 \times 10^{14} \text{cm}^{-3}$ 程度のものをを用いた場合、ドーピング濃度が $1 \times 10^{15} \text{cm}^{-3}$ 以上の $p$ 型層24を形成し、その中にさらに $n$ 型層を形成してやれば、電荷の蓄積容量は3倍以上に大きくすることができる。これにより、基板バイアス効果を抑えたまま受光量の範囲拡大という効果を同時に得ることができる。

【0125】また、上記実施例では $p$ -基板に高濃度の $p$ 型層と $n$ 型層を形成した例について示したが、 $n$ -基

板内にドーピング濃度が $1 \times 10^{15} \text{cm}^{-3}$ 以上の $n$ 型層を形成し、その中に $p$ 型層を形成した構造であっても、同様の効果が得られることは言うまでもない。

【0126】さらに、図12において、 $p$ 型層24の中に包含するように $n$ 型層が形成されていたが、図13のように $n$ 型層が一部 $p$ 型層24からはみだして $p$ 型層24の外部に形成されていてもよい。図13のように、 $p$ 型層24の中に形成された $n$ 型層がはみだした構造にすることで、受光素子の蓄積容量を変化させることができる。

【0127】実施例13.以下、この発明の一実施例について図を用いて説明する。図14は実施例1乃至12の受光素子回路を複数二次元アレイ状に配列した受光素子回路アレイの構成を示した図である。図において、1画素を構成する1受光素子回路25が水平方向に4個、垂直方向に4個配置している。各受光素子回路25の水平方向の1ライン、例えば25a、25b、25c、25dの受光素子回路はスイッチ用端子 $V_{r28}$ 、 $V_{n29}$ 、 $V_{p30}$ を共通にして、制御回路26に接続される。一方、各受光素子回路25の垂直方向の1ライン、例えば25d、25e、25f、25gの受光素子回路は出力用端子OUT31を共通にして出力回路27に接続される。

【0128】図15は受光素子回路25の一例を説明したもので図14に用いた図15中(a)は(b)と等価であることを示している。図において、回路は図2の回路を用いており、電源ラインVDDはバイアス端子1と電源16と共通化されている。リセット用トランジスタ2のゲート電圧、非反転出力回路選択用スイッチングトランジスタ15のゲート電圧、反転出力回路選択用スイッチングトランジスタ12のゲート電圧はそれぞれ $V_{r28}$ 、 $V_{n29}$ 、 $V_{p30}$ で、出力端子10からの出力はOUT31である。なお、図中制御回路中のGND4が基板コンタクトを形成しており、実施例10で示したように、周辺の受光素子3からの過剰電荷の影響を回避させている。

【0129】次に動作について説明する。制御回路26から同時にリセット信号 $V_{r28}$ が送られた各受光素子回路の受光素子は所定の時間受光し、その信号は電位電流変換トランジスタ11を介して反転・非反転出力回路に送られる。1つの水平ラインに配置した受光素子回路は制御回路26から共通の配線を介して $V_{n29}$ または $V_{p30}$ に制御信号が送られる。各受光素子回路からの出力信号31は出力回路27に送られる。このように、1水平ラン毎にスイッチ用端子を共通にして出力信号を得、且つ1垂直ライン毎に出力端子を共通にしたので、1水平ラン毎で得た出力信号を順次垂直方向へ転送することができる。このようなアレイ構造により、一次元または二次元の光パターンを同時に、並列に、かつ画素間の演算を行いながら外部へ取り出すことが可能となる。

【0130】なお、上記実施例13の図14では2次元に配列した例について示したが、1次元に配置しても1次元の光パターンに対して、同様の効果が得られることは言うまでもない。

【0131】なお、上記実施例13の受光素子回路アレイのそれぞれの受光素子回路に基板コンタクトを形成しているので、実施例10で記載したように、光入射が強く受光素子に電荷が過剰に発生した場合でも、基板コンタクトを介して電荷を逃がすことにより、周辺の受光素子内に回り込んだりしてノイズ等の発生原因となるのを防ぐことができる。

【0132】なお、上記実施例1～13では、受光素子としてシリコン基板を用いて形成したpnフォトダイオードについて説明したが、シリコン以外の材料、例えば、III-V族化合物半導体、II-VI族化合物半導体、ゲルマニウム、及びこれらとシリコンとの組み合わせでも同様の効果を発揮することは言うまでもない。

【0133】また、実施例1～13では、pnフォトダイオード受光素子と受光素子の電位を電流に変換する増幅回路として、AMI (Amplified MOS Image) の組み合わせを用いているが、pn受光素子そのものや、その他の増幅型受光素子としてCMD (Charge Modulation Device)、SIT (Static Induced Transistor)、APD (Avalanche Photodiode)、FGA (Floating Gate Array)、BASIS (Base Stored Image Sensor) などであっても同様の効果を発揮することは言うまでもない。

【0134】また、実施例1～13では、受光素子としてpnフォトダイオード受光素子、を用いたが、PtSi、HgCdTe、SiGe、InSb、あるいはこれらを組み合わせた材料など、赤外領域に感度を有する材料を用いても同様の効果を発揮することは言うまでもない。

【0135】また、シリコン(Si)基板上に感度可変機能を実現することができるので、制御回路を同じチップ上に作り込むことが容易になる。

【0136】また、実施例1～13では、同一のシリコン基板上に同一材料で受光素子部と制御回路部を構成した例であったが、基板、受光素子部材料、制御回路材料のいずれの材料が相互に異なっても良い。

【0137】

【発明の効果】この発明の請求項1の受光素子回路は、制御回路に反転・非反転出力回路を備えたので、負電源を用いることなく感度極性を変化させることができる。また、特定の利得係数を有するMOSトランジスタで構成したので、反転・非反転出力回路の出力の絶対値を利得係数によって制御でき、後段での画像処理に必要な信号を出力できる。

【0138】この発明の請求項2の受光素子回路は、請求項1において、MOSトランジスタの利得係数をトラ

ンジスタのゲート幅とゲート長との比で制御したので、簡便にMOSトランジスタの利得係数を制御でき、その結果後段での画像処理に必要な信号を反転・非反転出力回路から出力できる。

【0139】この発明の請求項3の受光素子回路は、請求項1または2において、MOSトランジスタの閾値電圧を規定したので、MOSトランジスタの利得係数の値を設定する際のパラメータが減少し、利得係数の決定が容易になる。

【0140】この発明の請求項4の受光素子回路は、請求項3において、制御回路から外部へと信号を出力する端子の電位を規定したので、MOSトランジスタの利得係数の値を設定する際のパラメータが減少し、利得係数の決定がさらに容易になる。

【0141】この発明の請求項5の受光素子回路は、請求項3において、受光素子の電位を電流に変換する回路としてnMOS或はpMOSトランジスタを用いたので、簡便な回路で、受光素子の電位を増幅、感度制御することが可能となり、性能の高い受光素子回路を提供できる。また、他のトランジスタと同じ種類のトランジスタで形成すれば、同一のプロセスで簡便な工程で、回路を単純化できる。また、一画素(一受光素子回路)の中にp、n二つのウェルを作る必要がないので、画素の大きさを小さくできる。さらに、nMOSであれば、受光素子として、光が入射するほど電位が上がるような素子を用いた場合、光が入射しなければ出力電流が0で、入射光が強いほど出力電流が増えるような構成にすることができ、pMOSであれば受光素子として、光が入射するほど電位が下がるような素子を用いた場合、光が入射しなければ出力電流が0で、入射光が強いほど出力電流が増えるような構成にすることができる。

【0142】この発明の請求項6の受光素子回路は、請求項1乃至5のいずれかにおいて、制御回路に、非反転出力回路及び反転出力回路のそれぞれの回路を選択するためのスイッチングトランジスタを備えたので、制御回路の外部から出力の極性を選択制御可能となる。さらに、スイッチングトランジスタのゲート電圧をアナログ的に制御することにより、一定の受光素子電位に対する出力電流値をアナログ的に変化させることができる。

【0143】この発明の請求項7の受光素子回路は、請求項1乃至6のいずれかにおいて、制御回路の反転出力回路にミラー回路を備えたので、簡便な回路構成で、出力信号の向きを反転できる。

【0144】この発明の請求項8の受光素子回路は、請求項1乃至7のいずれかにおいて、制御回路の非反転出力回路がスイッチングトランジスタで構成されるので、単純な構成で回路を実現する。

【0145】この発明の請求項9の受光素子回路は、請求項8において、制御回路の非反転出力回路にさらにダイオード接続したトランジスタを備えたので、反転出力

回路のミラー回路のトランジスタ構成を考慮して、ダイオード接続したトランジスタを非反転出力回路に配置することにより、制御回路の反転・非反転出力回路の構造を対称な形にできる。その結果、反転・非反転出力回路からの出力が同じになるように回路を設計しやすくなり、後段での画像処理に必要な信号を反転・非反転出力回路から出力できるようになる。

【0146】この発明の請求項10の受光素子回路は、請求項6乃至9のいずれかにおいて、スイッチングトランジスタを特定の位置（反転・非反転出力回路の等価な位置）に配置することにより、制御回路の反転・非反転出力回路の構造を対称な形にできるので、反転・非反転出力回路からの出力が同じになるように回路を設計しやすくなる。更に、受光素子の電位を電流に変換する回路から遠い側にスイッチングトランジスタを入れた場合よりも、受光素子の電位に対する出力電位の線形性が向上するように作用し、受光素子回路の性能が向上する。

【0147】この発明の請求項11の受光素子回路は、請求項10において、反転出力回路内のミラー回路を構成するトランジスタの閾値電圧と、非反転出力回路内のダイオード接続トランジスタの閾値電圧との差が、制御回路から外部へと信号を出力する端子の電位となるようにしたので、反転出力回路のミラー回路の入力側トランジスタと、非反転出力回路のダイオード接続トランジスタとが電氣的に等価になり、その結果、反転・非反転出力回路からの出力が同じになるように回路を設計しやすくなり、後段での画像処理に必要な信号を反転・非反転出力回路から出力できるようになる。

【0148】この発明の請求項12の受光素子回路は、請求項11において、制御回路を構成するトランジスタのうち、反転出力回路のミラー回路を構成するトランジスタと非反転出力回路のダイオード接続トランジスタとを除く全てのトランジスタの閾値電圧を、反転出力回路のミラー回路を構成するトランジスタの閾値電圧或は非反転出力回路のダイオード接続トランジスタの閾値電圧と一致させたので、トランジスタの閾値電圧が二種類に限定されるので、簡便な受光素子回路を構成できる。

【0149】この発明の請求項13の受光素子回路は、請求項11または12において、受光素子の電位を電流に変換する回路に備えたトランジスタと同じ利得係数を有するトランジスタを、制御回路の反転出力回路及び非反転出力回路に備えたので、各回路を構成するトランジスタの利得係数を同じにすることで、反転・非反転出力回路からの出力が同じになるように回路を設計しやすくなる。その結果、反転・非反転出力回路からの出力が同じになるように回路を設計しやすくなり、後段での画像処理に必要な信号を反転・非反転出力回路から出力できるようになる。さらに、トランジスタの利得係数を揃えることで、受光素子回路のなかで特にトランジスタの作製プロセスの工程が簡略化される。

【0150】この発明の請求項14の受光素子回路は、請求項13において、制御回路の反転出力回路及び非反転出力回路のそれぞれの回路を選択するためスイッチング用トランジスタが同じ利得係数を有するので、反転・非反転出力回路を電氣的に等価にし易くなる。その結果、反転・非反転出力回路からの出力が同じになるように回路を設計しやすくなり、後段での画像処理に必要な信号を反転・非反転出力回路から出力できるようになる。

【0151】この発明の請求項15の受光素子回路は、請求項14において、反転出力回路に備えたミラー回路の出力側トランジスタ、受光素子の電位を電流に変換する回路に用いるトランジスタ、非反転出力回路に備えたダイオード接続トランジスタ及び反転出力回路に備えたミラー回路の入力側トランジスタのそれぞれの利得係数の大きさまたは該トランジスタ間の利得係数の大きさの比を特定したので、反転・非反転出力回路を電氣的に等価にし易くなる。その結果、反転・非反転出力回路からの出力が同じになるように回路を設計しやすくなり、さらに、両回路からの出力を共に大きくしたり小さくしたりするような制御も容易になり、後段での画像処理に必要な信号を反転・非反転出力回路から出力できるようになる。

【0152】この発明の請求項16の受光素子回路は、請求項13乃至15のいずれかにおいて、受光素子回路を構成するトランジスタが、各トランジスタ間の電流駆動能力の比に対する利得係数比の値が各トランジスタ間の前記ゲート幅／ゲート長比の比となる関係を有するトランジスタであるので、閾値電圧が異なることによるMOSトランジスタ間の電流駆動能力の違いを補うことができ、受光素子回路の性能が向上する。

【0153】この発明の請求項17の受光素子回路は、請求項1乃至16のいずれかにおいて、受光素子がpnフォトダイオードであるので、光電荷の発生が容易となり、簡便な受光素子を用いて回路構成ができる。

【0154】この発明の請求項18の受光素子回路は、請求項17において、pnフォトダイオードがp型基板に形成されたn型層を備えた或はn型基板に形成されたp型層を備えたものであるので、制御回路部のnMOSまたはpMOSトランジスタと同一の工程で作成でき、製造工程が簡略化できる。

【0155】この発明の請求項19の受光素子回路は、請求項18において、pnフォトダイオードのn型層またはp型層にpnフォトダイオードのリセット用のスイッチングトランジスタを接続したので、pnフォトダイオードの光蓄積時間の制御が可能となり、受光素子回路の性能が向上する。

【0156】この発明の請求項20の受光素子回路は、請求項17乃至19のいずれかにおいて、受光素子と制御回路とを形成する基板のドーピング濃度を  $1 \times 10^{13} \text{ cm}^{-3}$

$^{-3}$ より高く  $1 \times 10^{16} \text{ cm}^{-3}$ より低くしたので、基板のドーピング濃度が十分に低く、基板バイアス効果が無視できるため、制御回路の反転・非反転出力回路の電気的な等価性を維持することができる。さらに、基板のドーピング濃度低いため、感度が向上し、受光素子回路としての性能も向上する。

【0157】この発明の請求項21の受光素子回路は、請求項20において、受光素子と制御回路とを形成する基板がp型基板であり、該p型基板内の受光素子形成部分がドーピング濃度が  $1 \times 10^{15} \text{ cm}^{-3}$  以上のp型層とそ  
10 の中に前記p型層のドーピング濃度よりも高い濃度でドーピングされたn型層とを備えた受光素子であること、あるいは受光素子と制御回路とを形成する基板がn型基板であり、該n型基板内の受光素子形成部分がドーピング濃度が  $1 \times 10^{15} \text{ cm}^{-3}$  以上のn型層とその中に前記n型層のドーピング濃度よりも高い濃度でドーピングされたp型層とを備えた受光素子であるので、基板濃度が低い場合でも、pn接合部で空乏層が広がる部分の濃度が十分に高くなるため、pn接合容量を大きくすることができ、受光素子回路としての性能が向上する。

【0158】この発明の請求項22の受光素子回路は、請求項1乃至21のいずれかにおいて、受光素子と制御回路との間に受光素子からの出力を蓄積するコンデンサを並列に接続したので、コンデンサにおいても光電荷を蓄積できるので、基板濃度が低くてpn接合容量が小さい場合でも、コンデンサを含めた受光素子部分での蓄積容量を大きくすることができ、受光素子回路としての性能が向上する。

【0159】この発明の請求項23の受光素子回路は、請求項1乃至22のいずれかにおいて、トランジスタ回路を構成する部分に、金属膜を備えたので、金属膜によ  
30 って光や電磁波がトランジスタ回路に入射するのを防ぐので、ノイズや回路の誤動作を避けることができ、受光素子回路としての信頼性が向上する。

【0160】この発明の請求項24の受光素子回路アレイは、請求項1乃至23のいずれか1項に記載の受光素子回路を、一次元または二次元のアレイ状に配置して構成したので、一次元または二次元の光パターンを同時に並列に受光し、所望の画像処理が可能となり、高機能な受光素子回路アレイを提供できる。

【0161】この発明の請求項25の受光素子回路アレイは、請求項24において、アレイ状に配置した複数の受光素子回路の水平方向の一つのライン上に並ぶ受光素子回路のスイッチ用端子を共通にし、垂直方向の一つのライン上に並ぶ感度可変受光素子回路の出力端子を共通にしたので、一次元または二次元の光パターンを同時に、並列に、かつ画素間演算を行いながら取り出すことができ、高機能な受光素子回路アレイを提供できる。

【0162】この発明の請求項26の受光素子回路アレイは、請求項24または25において、受光素子回路内

の接地ラインに、基板コンタクトを受光素子回路毎に設けたので、受光素子で過剰な光電荷が発生した場合でも、コンタクト部から接地のラインに電荷が逃げるため、周囲の画素に回り込んでノイズ等の原因となるのを防ぐ。更に受光素子からの光電荷があふれた場合にも、周囲の画素に回り込んでノイズ等の原因となるのを防ぎ、高機能な受光素子回路アレイを提供できる。

【0163】この発明の請求項27の受光素子回路の構成方法は、受光素子と、受光素子の電位を電流に変換する回路を介して得た信号の大きさと極性を制御して外部へと出力する制御回路とを基板上に備えた受光素子回路を構成する方法において、前記制御回路の前記信号の極性を制御する回路のうち、信号の向きを変えずに出力端子に接続する回路（非反転出力回路）を選択して外部へ出力する信号の大きさを計測または計算する第1のステップと、前記制御回路の前記信号の極性を制御する回路の内、信号の向きを反転させて出力端子に接続する回路（反転出力回路）を選択して外部へ出力する信号の大きさを計測または計算する第2のステップと、第1及び第2のステップの結果を比較する第3のステップと、前記  
20 同じ受光素子電位に対して前記反転・非反転出力回路からの出力信号の大きさが同じになるように制御回路を構成するMOSトランジスタの利得係数を設定する第4のステップとを備えたので、反転・非反転出力回路の出力はそれぞれの回路のMOSトランジスタの利得係数の関数で記述することができるため、反転・非反転出力回路の出力の絶対値を利得係数によって制御でき、所望の出力を有する受光素子回路の構成が簡便になる。

【0164】この発明の請求項28の受光素子回路の構成方法は、請求項27において、第4のステップの後ろに、第4のステップにおいて設定されたMOSトランジスタの利得係数をそれぞれのMOSトランジスタのゲート幅とゲート長との比で制御する第5のステップを備えたので、MOSトランジスタの利得係数をトランジスタのゲート幅とゲート長との比で制御したので、簡便にMOSトランジスタの利得係数を制御でき、所望の出力を有する受光素子回路の構成が簡便になる。

【0165】この発明の請求項29の受光素子回路の構成方法は、請求項27または28において、予め特定された閾値電圧を有するMOSトランジスタと、予め電圧の特定された出力端子を備えた受光素子回路を用いたので、MOSトランジスタの利得係数の値を設定する際のパラメータが減少し、利得係数の決定が容易になり、受光素子回路の構成が簡便になる。

【0166】この発明の請求項30の受光素子回路の構成方法は、請求項27乃至29のいずれかにおいて、第4のステップに代わって、第1及び第2のステップの結果を比較する第3のステップの後に、受光素子回路の出力を増大させるかあるいは受光素子回路の線形性を向上させるかいずれかを選択するステップを配置し、受光素

子回路の出力増大を選択した場合には前記反転・非反転出力回路が同じ受光素子電位に対して前記反転・非反転出力回路からの出力信号の大きさが同じになるように且つ出力信号が所定の値以上になるように制御回路を構成するMOSトランジスタの利得係数を設定するステップを配置し、受光素子回路の線形性向上を選択した場合には前記反転・非反転出力回路が同じ受光素子電位に対して前記反転・非反転出力回路からの出力信号の大きさが同じになるように且つ出力信号が所定の値以下になるように制御回路を構成するMOSトランジスタの利得係数を設定するステップを配置したので、出力信号を反転・非反転出力回路で同一にすることが可能となると共に、出力信号の大きさ、線形性等の性質までも制御が可能となり、所望の出力を有する受光素子回路の構成が簡便になる。

【0167】この発明の請求項31の受光素子回路の構成方法は、請求項29または30において、制御回路を構成するMOSトランジスタの利得係数を設定するステップにおいて、閾値電圧の異なるトランジスタ間のゲート幅／ゲート長比の比を該トランジスタ間の電流駆動能力の比に対する利得係数の比となるようにMOSトランジスタの利得係数を設定したので、閾値電圧が異なることによるMOSトランジスタ間の電流駆動能力の違いを補うことができ、所望の出力を有する受光素子回路の構成が簡便になる。

#### 【図面の簡単な説明】

【図1】 本発明の実施例1による受光素子回路の構成を示す模式図である。

【図2】 本発明の実施例1による受光素子回路の構成図である。

【図3】 本発明の実施例1による受光素子回路からの信号の出力特性の一例を示すグラフである。

【図4】 本発明の実施例1による別の受光素子回路の構成図である。

【図5】 本発明の実施例2による受光素子回路の構成図である。

【図6】 本発明の実施例3による受光素子回路の構成図である。

【図7】 本発明の実施例3による別の受光素子回路の構成図である。

【図8】 本発明の実施例4による受光素子回路の構成図である。

【図9】 本発明の実施例6による受光素子回路の構成方法を説明するための、受光素子回路からの信号の出力特性の一例を示すグラフである。

【図10】 本発明の実施例10による受光素子回路の構造を示す一部断面図である。

【図11】 本発明の実施例11による受光素子回路の構造を示す一部断面図である。

【図12】 本発明の実施例12による受光素子回路の構造を示す一部断面図である。

【図13】 本発明の実施例12による別の受光素子回路の構造を示す一部断面図である。

【図14】 本発明の実施例13による受光素子回路アレイを示す回路構成図である。

【図15】 図14中の各受光素子回路（画素）を構成する回路の詳細な一例を示した回路構成図である。

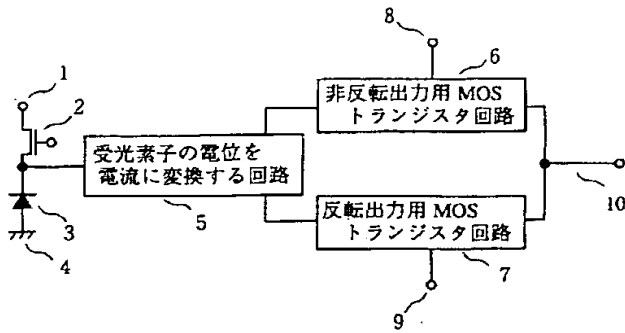
【図16】 従来の受光素子回路を示す回路構成図である。

【図17】 従来の受光素子回路からの信号の出力特性の一例を示すグラフである。

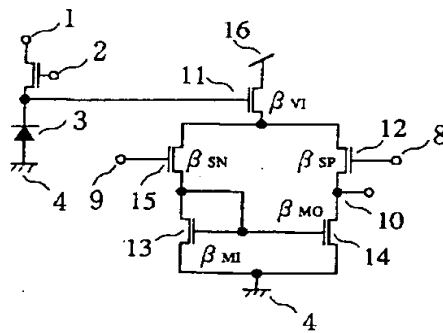
#### 【符号の説明】

1 バイアス端子、 2 リセットスイッチ、 3 受光素子、 4 接地、 5 受光素子の電位を電流に変換する回路、 6 出力の向きを変えずに出力端子に接続するMOSトランジスタ回路（非反転出力回路）、 7 出力の向きを反転させて出力端子に接続するMOSトランジスタ回路（反転出力回路）、 8 非反転出力回路の制御端子、 9 反転出力回路の制御端子、 10 出力端子、 11 MOSトランジスタによる、受光素子の電位を電流に変換する回路、 12 非反転出力回路の選択スイッチ用MOSトランジスタ、 13 カレントミラー回路の入力側MOSトランジスタ、 14 カレントミラー回路の出力側MOSトランジスタ、 15 反転出力回路の選択スイッチ用MOSトランジスタ、 16 電源電圧、 17 ダイオード接続のMOSトランジスタ、 18 非反転出力回路の選択スイッチ、 19 反転出力回路の選択スイッチ、 20 p-基板、 21 基板コンタクトを取るためのp+層、 22 シールド用の金属膜、 23 MOSキャパシタンスによるコンデンサ、 24 p-基板内に作り込まれたドーピング濃度が $1 \times 10^{15} \text{cm}^{-3}$ 以上のp型層、 25、25a、25b、25c、25d、25e、25f、25g 1受光素子回路（1画素）、 26 制御回路、 27 出力回路、 28 トランジスタ2のゲート電圧 $V_r$ 、 29 トランジスタ15のゲート電圧 $V_n$ 、 30 トランジスタ12のゲート電圧 $V_p$ 、 31 出力端子10からの出力OUT  
101 バイアス端子、 102 リセットスイッチ、 103 受光素子、 104 接地、 105 非反転出力用MOSトランジスタ、 106 反転出力用MOSトランジスタ、 107 カレントミラー回路の入力側MOSトランジスタ、 108 カレントミラー回路の出力側MOSトランジスタ、 109 出力端子、 110 トライステートスイッチ  
111 接地、 112 電源電圧

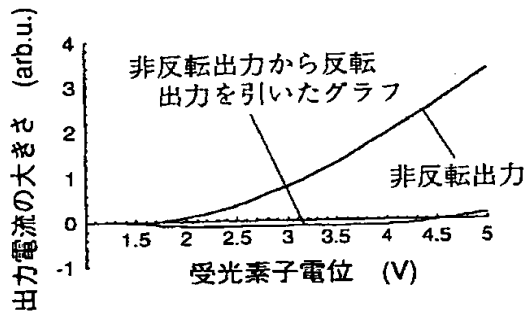
【図1】



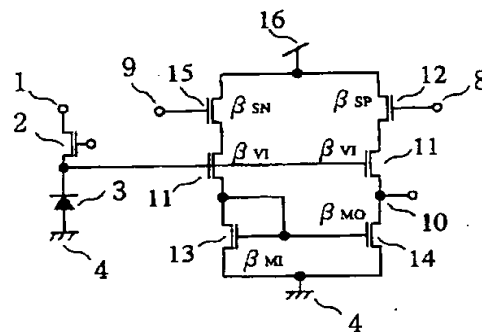
【図2】



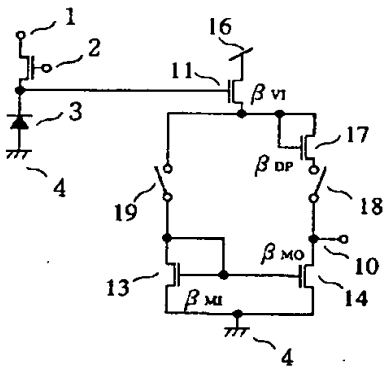
【図3】



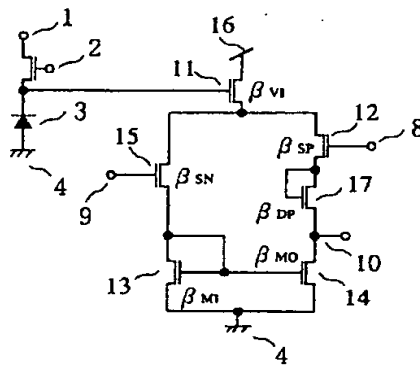
【図4】



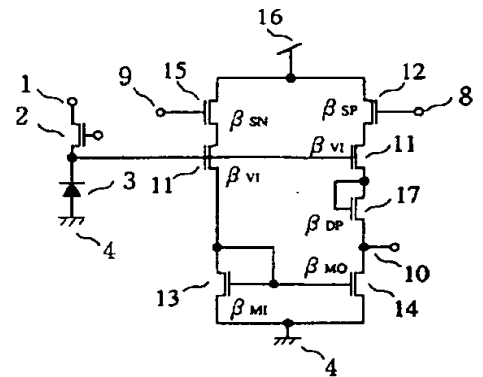
【図5】



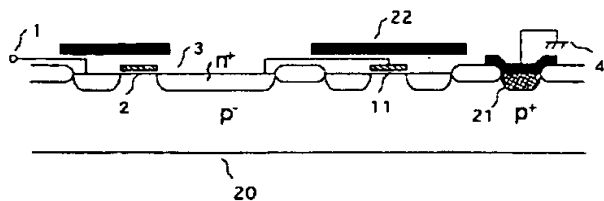
【図6】



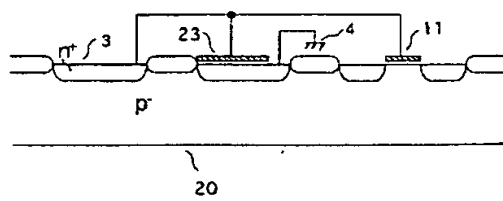
【図7】



【図10】

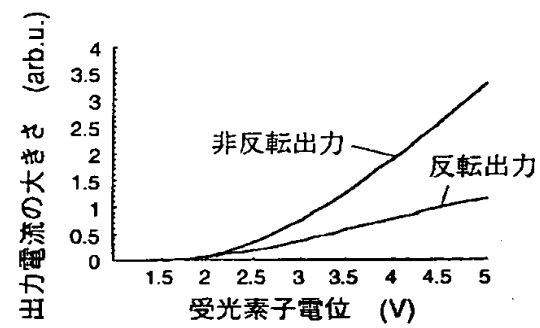


【図11】





【図17】



フロントページの続き

(72) 発明者 田井 修市  
尼崎市塚口本町八丁目1番1号 三菱電機  
株式会社半導体基礎研究所内